

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2002222589 A

(43) Date of publication of application: 09.08.02

(51) Int. Cl

G11C 11/14

G11C 11/15

G11C 29/00

(21) Application number: 2001341365

(71) Applicant: HITACHI LTD

(22) Date of filing: 07.11.01

(72) Inventor: HANZAWA SATORU

(30) Priority: 27.11.00 JP 2000364543

SAKATA TAKESHI

MATSUOKA HIDEYUKI

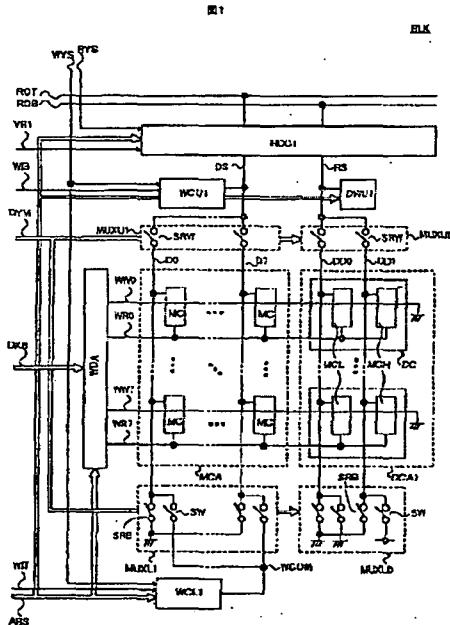
(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a reference signal generating method used for read-out operation of a memory cell for storing information by utilizing the variation of magnetic resistance, and to provide a dummy cell.

SOLUTION: The dummy cell is provided with plural first memory cells MC arranged at intersections of plural word lines WR0-WR7 and plural first data lines D0-D7 and storing either of '1' or '1', plural first dummy cells MCH arranged at intersections of plural work line WR0-WR7 and a first dummy data line DDD and storing '1', and plural second dummy cells MCL arranged at intersections of plural word lines WR0-WR7 and a second dummy data line DD1 and storing '0'. Therefore, a MRAM having higher integration, higher reliability, and larger capacity than heretofore can be realized.

COPYRIGHT: (C)2002,JPO





1

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-222589

(P 2002-222589A)

(43)公開日 平成14年8月9日(2002.8.9)

(51) Int.Cl. 7
G11C 11/14

識別記号

F I
G11C 11/14

テーマコード (参考)

11/15
29/00

29/00 603

11/15
29/00

603 H

A

29/00

603 H

A

審査請求 未請求 請求項の数23 O.L. (全45頁)

(21)出願番号 特願2001-341365(P 2001-341365)
(22)出願日 平成13年11月7日(2001.11.7)
(31)優先権主張番号 特願2000-364543(P 2000-364543)
(32)優先日 平成12年11月27日(2000.11.27)
(33)優先権主張国 日本(JP)

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目 6 番地

(72)発明者 半澤 哲
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 阪田 健
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(74)代理人 100075096
弁理士 作田 康夫

最終頁に続く

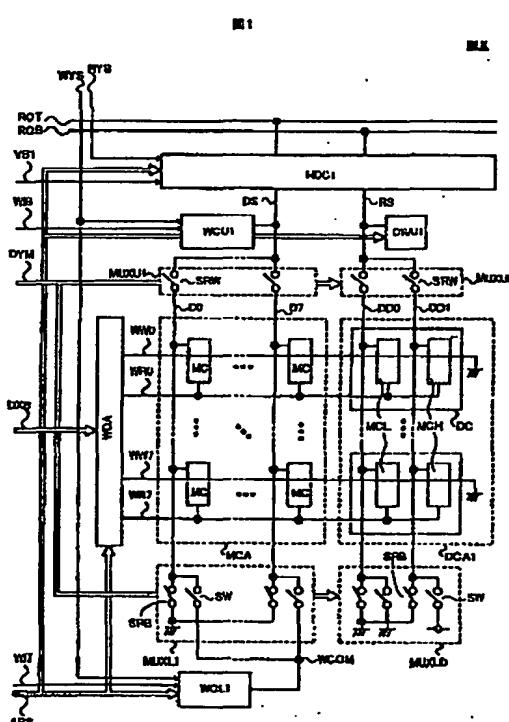
(54)【発明の名称】半導体装置

(57) 【要約】

【課題】 磁気抵抗の変化を利用して情報を記憶するメモリセルの読み出し動作に用いる参照信号発生方法、およびダミーセルを提供する。

【解決手段】複数のワード線WR0～WR7と複数の第1データ線D0～D7の交点に設けられ、”1”又は”0”の何れかを記憶するための複数の第1メモリセルMCと、複数のワード線WR0～WR7と第1ダミーデータ線DD0の交点に設けられ、”1”を記憶するための複数の第1ダミーセルMCと、前記複数のワード線WR0～WR7と第2ダミーデータ線DD1の交点に設けられ、”0”を記憶するための複数の第2ダミーセルMCとを具備する。

【効果】 従来と比べて、高集積かつ信頼度の高い大容量MRAMを実現することができる。



【特許請求の範囲】

【請求項 1】複数のワード線と複数の第1データ線の交点に設けられ、第1情報又は第2情報の何れかを記憶するための複数の第1メモリセルと、
前記複数のワード線と第1ダミーデータ線の交点に設けられ、前記第1情報を記憶するための複数の第1ダミーセルと、
前記複数のワード線と第2ダミーデータ線の交点に設けられ、前記第2情報を記憶するための複数の第2ダミーセルとを具備することを特徴とする半導体装置。

【請求項 2】請求項 1 において、
前記複数の第1データ線の一端に接続される第1マルチブレクサと、
前記第1及び第2ダミーデータ線の一端に接続される第2マルチブレクサと、
前記複数の第1データ線の他の一端に接続される第3マルチブレクサと、
前記第1及び第2ダミーデータ線の他の一端に接続される第4マルチブレクサと、
前記第1及び第2マルチブレクサに接続される読み出し回路とを更に具備し、
前記複数の第1メモリセルのいずれかに記憶情報を書き込む場合において、前記第1マルチブレクサは、前記第3マルチブレクサが前記複数の第1データ線の一つに第1電位を供給する際に、前記複数のデータ線の一つに前記第1電位より小さい第2電位を供給し、前記第3マルチブレクサが前記複数の第1データ線の一つに前記第2電位を供給する際に、前記複数の第1データ線の一つに前記第1電位を供給することを特徴とする半導体装置。

【請求項 3】請求項 1 において、
前記複数の第1データ線に接続される第1マルチブレクサと、
前記第1及び第2ダミーデータ線に接続される第2マルチブレクサと、
前記第1及び第2マルチブレクサに接続される読み出し回路と、
前記読み出し回路と前記第1マルチブレクサとを結合するための第1共通データ線と、
前記読み出し回路と前記第2マルチブレクサとを結合するための第2共通データ線とを更に具備し、
前記読み出し回路は、前記第1共通データ線に接続される第1カレントミラー回路と、前記第2共通データ線に接続される第2カレントミラー回路と、前記第1カレントミラー回路に接続される第1センスデータ線と、前記第2カレントミラー回路に接続される第2センスデータ線と、前記第1及び前記第2センスデータ線に接続されるセンスアンプとを含むことを特徴とする半導体装置。

【請求項 4】請求項 3 において、
前記第1カレントミラー回路は、前記第1共通データ線を流れる電流と前記第1センスデータ線に流れる電流を略

同じ電流となるように設定され、

前記第2カレントミラー回路は、前記第1センスデータ線に流れる電流を前記第2共通データ線に流れる電流の略 $1/2$ の電流となるように設定されることを特徴とする半導体装置。

【請求項 5】請求項 4 において、

前記複数の第1メモリセル、前記複数の第1及び第2ダミーセルのそれぞれは、共通の回路定数を持って形成され、磁気抵抗効果を用いて前記第1情報又は前記第2情報を記憶することを特徴とする半導体装置。

【請求項 6】請求項 1 において、

前記複数のワード線と複数の第2データ線の交点に設けられ、前記第1情報を記憶するための複数の第2メモリセルと、

前記複数の第1データ線に接続される第1マルチブレクサと、

前記第1及び第2ダミーデータ線に接続される第2マルチブレクサと、前記複数の第2データ線に接続される第5マルチブレクサと、

前記第1、第2及び第5マルチブレクサに接続される読み出し回路とを更に具備し、

前記第1及び第2ダミーデータ線は、前記複数の第1データ線と前記複数の第2データ線との間に配置されることを特徴とする半導体装置。

【請求項 7】請求項 6 において、

前記読み出し回路と前記第1マルチブレクサとを結合するための第1共通データ線と、

前記読み出し回路と前記第2マルチブレクサとを結合するための第2共通データ線と、前記読み出し回路と前記

30 第5マルチブレクサとを結合するための第3共通データ線とを更に具備し、

前記第1読み出し回路は、前記第1共通データ線に接続される第1カレントミラー回路と、前記第2共通データ線に接続される第2カレントミラー回路と、前記第3共通データ線に接続される第3カレントミラー回路と、前記第1カレントミラー回路に接続される第1センスデータ線と、

前記第2カレントミラー回路に接続される第2及び第3センスデータ線と、前記第3カレントミラー回路に接続される第4センスデータ線と、前記第1及び前記第2センス

40 データ線とに接続される第1センスアンプと、前記第3及び第4センスデータ線に接続される第2センスアンプとを含むことを特徴とする半導体装置。

【請求項 8】請求項 7 において、

前記第1カレントミラー回路は、前記第1共通データ線に流れる電流と前記第1センスデータ線に流れる電流を略同じとなるように設定され、

前記第2カレントミラー回路は、前記第2及び第3センスデータ線に流れる電流を前記第2共通データ線に流れる電流の略 $1/2$ の電流となるように設定され、

前記第3カレントミラー回路は、前記第3共通データ線に

流れる電流と前記第4センスデータ線に流れる電流とを略同じとなるように設定されることを特徴とする半導体装置。

【請求項 9】請求項 8において、前記複数の第1、第2メモリセル、前記複数の第1及び第2ダミーセルのそれぞれは、共通の回路定数を持って形成され、磁気抵抗効果を用いて前記第1情報又は前記第2情報を記憶することを特徴とする半導体装置。

【請求項 10】請求項 1において、

前記複数のワード線と複数の第2データ線の交点に設けられ、前記第1又は第2情報を記憶するための複数の第2メモリセルと、

前記複数のワード線と第3ダミーデータ線の交点に設けられ、前記第1情報を記憶するための複数の第3ダミーセルと、

前記複数のワード線と第4ダミーデータ線の交点に設けられ、前記第2情報を記憶するための複数の第4ダミーセルと、

前記複数の第1データ線に接続される第1マルチブレクサと、

前記第1及び第2ダミーデータ線に接続される第2マルチブレクサと、

前記複数の第2データ線に接続される第5マルチブレクサと、

前記第3及び第4ダミーデータ線に接続される第6マルチブレクサと、

前記第1、第2、第5及び第6マルチブレクサに接続される読み出し回路とを更に具備し、

前記第1及び第2マルチブレクサは、第1共通データ線を介して前記読み出し回路に接続され、

前記第5及び第6マルチブレクサは、第2共通データ線を介して前記読み出し回路に接続されることを特徴とする半導体装置。

【請求項 11】請求項 10において、

前記読み出し回路は、前記第1共通データ線に接続される第1カレントミラー回路と、前記第2共通データ線に接続される第2カレントミラー回路と、前記第1カレントミラー回路に接続される第1センスデータ線と、前記第2カレントミラー回路に接続される第2センスデータ線と、前記第1及び第2センスデータ線に接続されるセンスアンプとを具備することを特徴とする半導体装置。

【請求項 12】請求項 11において、

前記第1カレントミラー回路は、前記第1共通データ線の流れる電流と前記第1センスデータ線に流れる電流とを略同じとする第1状態と、前記第2センスデータ線に流れる電流を前記第1共通データ線に流れる電流の略1/2の電流とする第2状態とを有し、

前記第2カレントミラー回路は、前記第2共通データ線に流れる電流と前記第2センスデータ線に流れる電流とを略同じにする第3状態と、前記第2センスデータ線に

流れる電流を前記第2共通データ線に流れる電流の略1/2の電流とする第4状態とを有し、

前記複数の第1メモリセルから記憶情報が読み出される場合において、前記第1カレントミラー回路は前記第1状態で動作し、前記第2カレントミラー回路は前記第4状態で動作し、

前記複数の第2メモリセルから記憶情報が読み出される場合において、前記第1カレントミラー回路は前記第2状態で動作し、前記第2カレントミラー回路は前記第3状態で動作することを特徴とする半導体装置。

【請求項 13】請求項 12において、

前記複数の第1、第2メモリセル、前記複数の第1、第2、第3及び第4ダミーセルのそれぞれは、共通の回路定数を持って形成され、磁気抵抗効果を用いて前記第1情報又は前記第2情報を記憶することを特徴とする半導体装置。

【請求項 14】請求項 10において、

前記複数のワード線と第1冗長データ線の交点に設けられた複数の第1冗長メモリセルと、

20 前記複数のワード線と第2冗長データ線の交点に設けられた複数の第2冗長メモリセルと、前記第1冗長データ線に接続される第1冗長マルチブレクサと、

前記第2冗長データ線に接続される第2冗長マルチブレクサとを具備し、

前記第1冗長マルチブレクサは、前記第1共通データ線に接続され、

前記第2冗長マルチブレクサは、前記第2共通データ線に接続され、

30 前記複数の第1メモリセル、前記複数の第1ダミーセル、又は前記複数の第2ダミーセル線に関する欠陥が有る場合に、欠陥を有している前記複数の第1データ線、前記第1ダミーデータ線、又は前記第2ダミーデータ線は、前記第1冗長データ線に置換され、

前記複数の第2メモリセル、前記複数の第3ダミーセル、又は前記複数の第4ダミーセル線に関する欠陥が有る場合に、欠陥を有している前記複数の第2データ線、前記第3ダミーデータ線、又は前記第4ダミーデータ線は、前記第2冗長データ線に置換されることを特徴とする半導体装置。

【請求項 15】請求項 14において、

前記第1、第2、第5及び第6マルチブレクサの動作状態を制御するための正規カラムアドレスデコーダと、

前記第1及び第2冗長マルチブレクサの動作状態を制御するための冗長カラムアドレスデコーダとを更に具備し、

前記正規カラムアドレスデコーダは、前記第1及び第5マルチブレクサの動作状態を制御するためのカラムアドレス信号を出力する正規カラムアドレス信号ドライバと、前記第2及び第6マルチブレクサの動作状態を制御するためのカラムアドレスアドレス信号を出力するダミ

一カラムアドレス信号ドライバとを含み、
前記冗長カラムアドレスデコーダは、前記第1及び第2冗長マルチブレクサの動作状態を制御するための冗長カラムアドレス信号を出力する冗長カラムアドレスドライバと、前記正規カラムアドレス信号ドライバ又は前記ダミーカラムアドレス信号ドライバと前記冗長カラムアドレス信号ドライバの何れかを選択して活性化するための冗長カラムアドレス検出回路とを含むことを特徴とする半導体装置。

【請求項 16】請求項 15において、

前記冗長カラムアドレス検出回路は、前記欠陥の情報を記憶するための冗長カラムアドレス記憶回路を含むことを特徴とする半導体装置。

【請求項 17】請求項 16において、

前記複数の第1、第2メモリセル、前記複数の第1、第2、第3、第4ダミーセル、前記第1及び第2冗長メモリセルのそれぞれは、共通の回路定数を持って形成され、磁気抵抗効果を用いて前記第1情報又は前記第2情報を記憶することを特徴とする半導体装置。

【請求項 18】複数のワード線と複数の第1データ線の交点に設けられた複数の第1メモリセルと、

前記複数のワード線と複数の第2データ線の交点に設けられた複数の第2メモリセルと、

前記複数のワード線と第1ダミーデータ線の交点に設けられた複数の第1ダミーセルと、

前記複数のワード線と第2ダミーデータ線の交点に設けられた複数の第2ダミーセルと、

前記複数のワード線と複数の第3データ線の交点に設けられた複数の第3メモリセルと、

前記複数のワード線と複数の第4データ線の交点に設けられた複数の第4メモリセルと、

前記複数のワード線と第3ダミーデータ線の交点に設けられた複数の第3ダミーセルと、

前記複数のワード線と第4ダミーデータ線の交点に設けられた複数の第4ダミーセルと、

前記複数の第1及び第2データ線に接続される第1マルチブレクサと、

前記第1及び第2ダミーデータ線に接続される第2マルチブレクサと、

前記複数の第3及び第4データ線に接続される第3マルチブレクサと、

前記第3及び第4ダミーデータ線に接続される第4マルチブレクサと、

前記複数の第1データ線が前記第1マルチブレクサを介して接続される第1共通データ線と、

前記複数の第2データ線が前記第1マルチブレクサを介して接続される第2共通データ線と、

前記複数の第3データ線が前記第3マルチブレクサを介して接続される第3共通データ線と、

前記複数の第4データ線が前記第4マルチブレクサを介

して接続される第4共通データ線と、

前記第1及び第3共通データ線との間に接続される第1スイッチと、

前記第2及び第4共通データ線との間に接続される第2スイッチと、

前記第1及び第2共通データ線に接続される第1読み出し回路と、

前記第3及び第4共通データ線に接続される第2読み出し回路とを具備し、

10 前記複数の第1ダミーセルと前記複数の第2ダミーセルは、互いに相補の記憶情報が書き込まれ、
前記複数の第3ダミーセルと前記複数の第4ダミーセルは、互いに相補の記憶情報が書き込まれ、
前記第1ダミーデータ線は、前記第2マルチブレクサを介して前記第1共通データ線に接続され、
前記第2ダミーデータ線は、前記第2マルチブレクサを介して前記第3共通データ線に接続され、
前記第3ダミーデータ線は、前記第4マルチブレクサを介して前記第2共通データ線に接続され、

20 前記第4ダミーデータ線は、前記第4マルチブレクサを介して前記第4共通データ線に接続されることを特徴とする半導体装置。

【請求項 19】請求項 18において、

前記第1スイッチは、前記複数の第2又は第4メモリセルの何れかから記憶情報が読み出される場合にオン状態とされ、

前記第2スイッチは、前記複数の第1又は第3メモリセルの何れかから記憶情報が読み出される場合にオン状態とされることを特徴とする半導体装置。

30 【請求項 20】請求項 19において、
前記第1読み出し回路は、前記第1共通データ線に接続される第1カレントミラー回路と、前記第2共通データ線に接続される第2カレントミラー回路と、前記第1カレントミラー回路に接続される第1センスデータ線と、前記第2カレントミラー回路に接続される第2センスデータ線と、前記第1及び第2センスデータ線に接続される第1センスアンプとを含み、
前記第2読み出し回路は、前記第3共通データ線に接続される第3カレントミラー回路と、前記第4共通データ線に接続される第4カレントミラー回路と、前記第3カレントミラー回路に接続される第3センスデータ線と、

40 前記第4カレントミラー回路に接続される第4センスデータ線と、前記第3及び第4センスデータ線に接続される第2センスアンプとを含むことを特徴とする半導体装置。

【請求項 21】請求項 20において、

前記第1から第4カレントミラー回路は、対応する第1から第4共通データ線に流れる電流と対応する前記第1から第4センスデータ線に流れる電流とを略同じとなるように設定されることを特徴とする半導体装置。

【請求項 22】請求項 21 において、

前記複数の第1、第2、第3、第4メモリセル、前記複数の第1、第2、第3及び第4ダミーセルのそれぞれは、共通の回路定数を持って形成され、磁気抵抗効果を用いて前記第1情報又は前記第2情報を記憶することを特徴とする半導体装置。

【請求項 23】請求項 1 において、

前記複数の第1メモリセル、前記複数の第1及び第2ダミーセルのそれぞれは、トランジスタと前記トランジスタに直列接続されたMTJ (マグネティック・トンネル・ジャンクション) 素子を有する事を特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に関し、特に、磁気抵抗の変化を利用して情報を記憶するメモリセルを用いた高集積なメモリを含む半導体装置に関する。

【0002】

【従来の技術】フェロダイエレクトリック・メモリ (FeRAM) やフラッシュメモリに代表されるような不揮発性メモリでありながら、読み書き回数に制限がないメモリとして、マグнетロレジスティブ・ランダム・アクセス・メモリ (MRAM) の開発がなされている。MRAMは、磁化の向きで素子の抵抗が異なる磁気抵抗効果を利用して情報を記憶する。近年、マグネットロ・レジスタンス (MR) と呼ばれる磁気抵抗変化率が従来の素子よりも大きなマグネティック・トンネル・ジャンクション (MTJ) 素子の開発と、そのMRAMへの応用が進められ、スタティック・ランダム・アクセス・メモリ (SRAM) 並みの高速読み書き動作が可能で、DRAM並みの高集積度が実現できる可能性が示された。このため、MRAMは次世代メモリの有力候補としてさらに注目を増している。

【0003】MTJ素子は、図3に示すように、二つの強磁性体層FRLとFXLとの間に絶縁膜TBが挟まれた三層構造である。絶縁膜TBは、トンネル効果によって電子が伝導できる程度に薄く形成されている。また、強磁性体層FXLの磁化の向きが矢印AMP2で示すように固定されているのに対して、強磁性体層FRLの磁化の向きは、外部磁界により矢印AMP1に示すように制御される。端子A、B間の抵抗は、二つの強磁性体層における磁化の向きによって変化し、同じ向きの時は低抵抗状態、互いに逆向きの時は高抵抗状態となる。このようなMTJ素子を適用したMRAMは、例えば、アイ・イー・イー・イー、インターナショナル・ソリッドーステート・サーキット・カンファレンス、ダイジェスト・オブ・テクニカル・ペーパーズ、第128頁から第129頁 (2000年) (IEEE International Solid-State Circuits Conference, DIGEST OF TECHNICAL PAPERS, pp. 128-129, 2000。以下では文

献1と示す。) や、同ダイジェスト・オブ・テクニカル・ペーパーズの第130頁から第131頁 (以下では文献2と示す。) で述べられている。どちらにおいても、1個のMTJ素子と1個のトランジスタが直列接続された構成をメモリセルの基本構成としている。選択されたメモリセルにおけるトランジスタが導通されると、MTJ素子の端子間に電圧が印加され、磁気抵抗に応じてデータ線を介して流れる電流を検出することにより記憶情報が読み出される。

10 【0004】

【発明が解決しようとする課題】図4は、時間T1においてMTJ素子の端子間に電圧を印加することにより発生する電流を示している。ここでは、MTJ素子が記憶情報'0'を保持している場合に高抵抗状態、記憶情報'1'を保持している場合に低抵抗状態にあるものとしている。この時、記憶情報'1'を保持しているメモリセルを読み出して得られる電流ID(1)は、記憶情報'0'を保持しているメモリセルを読み出して得られる電流ID(0)よりも大きく、共に正の値をとる。このようなMTJ素子の特性のために、MRAMは読み出し動作において二つの問題点が生じる。第一に、一方の極性である読み出し信号から記憶情報を分別するため、参照信号が必要な点である。第二に、MTJのMRが数十パーセントであるために読み出し信号量が小さく、安定した読み出し動作が難しい点である。

20 【0005】

これららの問題を解決するために、文献1ではメモリセルに2個のMTJ素子と2個のトランジスタで構成されるツインセル方式を採用している。この方式では、メモリセルの記憶情報に応じて相補の読み出し信号が得られるので、情報の分別が容易であり、信号量も大きい。しかし、メモリセル面積が二倍になるので、大容量化には、相対的に不利になると予測される。これに對して文献2では、メモリセルと同じ1個のMTJ素子と1個のトランジスタで構成されるリファレンス・セルをワード線毎に配置して参照信号を発生している。この方式では、メモリアレイの面積を抑制できる反面、各メモリセルに生じる特性ばらつきを考慮しながら、精度良く参照信号を発生するリファレンス・セルを形成することが相対的に困難であると予測される。また、リファレンス・セルやリファレンス・セルが接続されるデータ線に断線、短絡など何らかの不良が生じた場合に、参照信号が発生されないため対応する複数のメモリセルの記憶情報を読み出すことができず、歩留まり低下の原因となる可能性が有る。本発明は、以上の検討結果から生まれたものである。

30 【0006】

本発明の第一の課題は、精度良く参照信号を発生するダミーセルを提供して、1個のMTJ素子と1個のトランジスタで構成されるメモリセルに保持された記憶情報を正確に読み出すことである。第二に、メモリセルとダミーセルの双方を置換可能な救済方式を提供

することである。第三に、高速で、集積度と信頼性の高い大容量MRAMを実現することにある。

【0007】

【課題を解決するための手段】上記目的を達成するための本発明の代表的な手段の特長は、メモリセルを1個のMTJ素子と1個のトランジスタで構成し、相補の記憶情報を保持した二つのメモリセルを並列接続した構成をダミーセルする。このダミーセルは、ワード線対毎に配置される。メモリセルに流れる電流をミラー比1対1のカレントミラー回路で受けて読み出し信号を発生するのに対して、ダミーセルに流れる電流をミラー比2対1のカレントミラー回路で受けて平均電流を発生することにより、参照信号を発生することにある。

【0008】

【発明の実施の形態】<実施例1>1個のMTJ素子と1個のトランジスタで構成されるメモリセルを有するMRAMについて、以下の実施例に従い本発明を説明する。後に詳述するが図13は、本発明を用いた同期式メモリの一例である。また、図12は、図13に示されるメモリアレイMARの一例を示したものである。更に、図1は、図12におけるメモリブロックBLKの一例を示すもので、ワードドライバアレイWDAの片側にメモリセルアレイMCAとダミーセルアレイDCA1が配置された構成の例である。メモリブロックBLKは、さらにマルチブレクサMUXU1、MUXL1、MUXUD、MUXLD、書き込み回路WCU1、WCL1、ダミー書き込み回路DWU1、読み出し回路RDC1を有する。本実施例によるメモリブロックの特徴は、メモリセルMCと同じ構造の二つのメモリセルMCL、MCHを並列に配置したダミーセルDCを各ワード線対に配置し、相補の情報をそれぞれ保持した二つのセルMCL、MCHを活性化することにより参照信号を発生する点にある。以下では、各回路ブロックについて説明する。

【0009】メモリセルアレイMCAは、8×8ビットのメモリセルMCを有する構成例が示されており、メモリセルMCは複数（ここでは8組）のワード線対と複数（ここでは8本）のデータ線Dj（j=0, …, 7）との交点にそれぞれ配置される。ダミーセルアレイDCA1は、メモリセルアレイMCAの構成に応じて8×1ビットのダミーセルDCを有する。ダミーセルDCは、複数のワード線対とダミーデータ線DD0、DD1との交点に、メモリセルMCと同じ構造の二つのメモリセルMCL、MCHをそれぞれ配置した構成とする。

【0010】ワードドライバアレイWDAは、後述する複数（ここでは8個）のワードドライバで構成され、ロウデコードアドレスDXBとアレイ制御バスABSに応じて複数のワード線対を駆動する。複数のワード線対は読み出しワード線WBk（k=0, …, 7）および書き込みワード線WWk（k=0, …, 7）でそれぞれ構成され、書き込みワード線WWkは遠端で接地される。ここで、ロウデコードアドレスDXBは、複数のロウデコード信号XBk（k=0, …, 7）で

10

20

30

40

50

構成される。また、アレイ制御バスABSは役割の異なる複数個の信号で構成され、各回路ブロック毎に必要に応じた信号が接続されているものとする。アレイ制御バスABSの内容については、回路ブロックの具体的な回路構成でそれぞれ説明する。

【0011】マルチブレクサMUXU1、MUXL1はメモリセルアレイMCAの両端にそれぞれ配置され、互いに対をなして動作する。一方のマルチブレクサMUXU1は、共通データ線DSと複数のデータ線Djとの間に配置された複数個（ここでは8個）のスイッチSRW（以下、簡単のためマルチブレクサ内のスイッチを単にスイッチと呼ぶが、他のスイッチと区別するためにカラムスイッチと呼んでもよい）で構成され、入力されたカラムデコードアドレスDYMに応じて、選択するデータ線Djと共通データ線DSとを接続する。他方のマルチブレクサMUXL1は、接地電位VSSと複数のデータ線Djとの間に配置された複数個（ここでは8個）のスイッチSRBと、書き込み共通ノードWCOMと複数のデータ線Djとの間に配置された複数個（ここでは8個）のスイッチSWとで構成される。前者のスイッチSRBは、入力されたカラムデコードアドレスDYMに応じて、選択するデータ線Djと接地電位VSSとの接続を遮断し、後者のスイッチSWは、選択するデータ線Djと書き込み共通ノードWCOMとを接続する。

【0012】マルチブレクサMUXUD、MUXLDはダミーセルアレイDCA1の両端にそれぞれ配置され、互いに対をなして動作する。一方のマルチブレクサMUXUDは、共通データ線RSとダミーデータ線DD0、DD1との間に配置された2個のスイッチSRWで構成され、入力されたカラムデコードアドレスDYMに応じて、ダミーデータ線DD0、DD1と共通データ線RSとを接続する。他方のマルチブレクサMUXLDは、接地電位VSSとダミーデータ線DD0、DD1との間に配置された2個のスイッチSRBと、接地電位VSSとダミーデータ線DD0および電源電圧VDDとダミーデータ線DD1との間に配置された2個のスイッチSWとで構成される。前者のスイッチSRBは、入力されたカラムデコードアドレスDYMに応じて、ダミーデータ線DD0、DD1と接地電位VSSとの接続を遮断する。後者のスイッチSWは、入力されたカラムデコードアドレスDYMに応じて、ダミーデータ線DD0と接地電位VSS、ダミーデータ線DD1と電源電圧VDDをそれぞれ接続する。スイッチSRW、SRB、SWは、同図では模式的に記号で示されているが、実際には例えばNMOSトランジスタで構成され、ソース-ドレイン間の電流経路の有無によって結線状態が制御される。

【0013】書き込み回路WCU1、WCL1は、マルチブレクサMUXU1、MUXL1のさらに外側にそれぞれ配置され、これらは互いに対をなして動作する。書き込み回路WCU1は、入力されたカラム選択信号WYS、書き込みデータ線WIB、アレイ制御バスABSに応じて共通データ線DSを駆動し、書き込み回路WCL1は、入力されたカラム選択信号WYS、書き込みデータ線WIT、アレイ制御バスABSに応じて書き

込み共通ノードWCOMを駆動する。また、ダミー書き込み回路DWU1は、書き込み回路WCU1に応じてマルチブレクサMUXUDのさらに外側に配置され、アレイ制御バスABSに応じて共通データ線RSを駆動する。

【0014】読み出し回路RDC1は、入力されたアレイ制御バスABSとバイアス電圧VB1に応じてメモリセルおよびダミーセルへ電源を供給して、共通データ線DS、RSに生じた読み出し信号を検出および增幅し、さらにカラム選択信号RYSに応じて、読み出しデータ線ROT、ROBを読み出したデータに応じた電位に駆動する。

【0015】次に、メモリセルMCの回路構成について図2に従い説明する。左図は図1に示したメモリセルMCのブロック記号であり、具体的には右図に示すように、抵抗の回路記号で示した1個のMTJ素子MTJと1個のNMOSトランジスタN1で構成されている。端子A、Bは、図3に示したMTJ素子の断面における端子に対応し、端子Aがデータ線Dj、端子BがNMOSトランジスタN1のドレインにそれぞれ接続される。また、トランジスタN1のソースが接地され、ゲートが読み出しワード線WRkに接続される。図3では省略されているが、書き込みワード線WWkは強磁性体層FXLの下部に層間絶縁膜を介して立体的に形成される。一方、データ線Djは強磁性体層FRL上に形成されて互いに接続される。

【0016】このような構成におけるメモリセルの動作は、以下のように行う。まず、読み出し動作の場合、書き込みワード線W_{lk}が接地電位V_{SS}に保持され、読み出しワード線W_{Rk}が電源電圧V_{DD}に駆動されると、トランジスタN1が導通することによりデータ線D_jと接地電位V_{SS}間に電流経路が形成され、データ線D_j上に電流が outputされる。次に、書き込み動作の場合、読み出しワード線W_{Rk}が接地電位V_{SS}に保持されてトランジスタN1がオフ状態を保ち、書き込みワード線W_{lk}に矢印A_{WW}の向きに電流が流れることにより、第一の磁界が発生される。また、データ線D_jに、書き込みデータに応じて矢印ADLまたはADHの向きに電流が流れることにより、第二または第三の磁界がそれぞれ発生される。電流の向きが異なるので、アンペアの法則より第二、第三の磁界は互いに逆向きである。よって、書き込みワード線W_{lk}とデータ線D_jの交点に配置されたメモリセルにおいて、書き込みデータに応じて向きの異なる第一および第二の合成磁界がそれぞれ発生されて、図3に示した強磁性体層FRLの磁化方向AMF1が制御される。以下では、メモリセルの記憶情報は、MTJ素子が低抵抗状態で”1”、MTJ素子が高抵抗状態で”0”とする。記憶情報”1”を書き込む場合、データ線D_jに矢印ADLの向きに電流が流れ、第二の磁界が発生することにより、第一の合成磁界が発生される。その結果、強磁性体層FRL、FXLの磁化方向が互いに平行となり、MTJ素子が低抵抗状態になる。これに対して記憶情報”0”を書き込む場合、データ線D_jに矢印ADHの向きに電流が流れ、第三の磁界が発生することにより、

第二の合成磁界が発生される。その結果、強磁性体層FR L、FXLの磁化方向が互いに逆向きとなり、MTJ素子が高抵抗状態になる。また、ダミーセルDCにおけるメモリセルMCLは低抵抗状態、MCHは高抵抗状態にあるものとする。

【0017】図5は、読み出し回路RDC1の回路構成を示しており、カラム選択回路YSW1、プリチャージ回路PCEQ、センスアンプSA、カレントミラー回路CMおよびCMD1、バイアス回路BC1で構成される。また、図1に示した

10 アレイ制御バスABSの中で、プリチャージイネーブル信号EQ、センスアンプ起動信号SDP、読み出し制御信号REBがそれぞれ入力され、さらにカラム選択信号RYSが入力される。まず、各回路の構成について説明する。

【0018】プリチャージ回路PCEQはNMOSトランジスタN71、N72、N73で構成されている。それぞれのゲートに接続されたプリチャージイネーブル信号EQが電源電圧VDに駆動されると、全てのトランジスタが導通して、センスデータ線DT、DBを接地電位VSSにプリチャージする。この時、トランジスタN73によって、センスデータ線DT、DBの電位を箇しくする効果が得られる。

【0019】カンスアンズSAは、PMOSトランジスタP8

1、P82とNMOSトランジスタN81、N82で構成されるクロスカッブル型ラッチ回路と、電源遮断用のスイッチであるPMOSトランジスタP83で構成される。トランジスタP83のゲートに接続されたセンスアンプ起動信号SDPが接地電位VSSに駆動されると、トランジスタP83が導通し、電源電圧VDDがトランジスタP81、P82のソースに供給される。このようにしてセンスアンプを活性化することにより、センスデータ線DT、DBに発生した微小電位差を増幅することができる。ここで、待機時のセンスデータ線DT、DBは、プリチャージ回路PCEQによって接地電位VSSにプリチャージされるので、トランジスタN81、N82のゲートソース間電圧はそれぞれ0Vとなる。したがって、トランジスタN81、N82がオフ状態にあるので、接地電位VS側には、スイッチ用トランジスタを設けず、レイアウト面積を低減している。

【0020】カラム選択回路YSW1はNMOSトランジスタN91、N92で構成され、ゲートにカラム選択信号RYSがそれぞれ入力される。また、トランジスタN91のソースはセ

40 センステータ線DT、ドレインは読み出しデータ線ROTにそれぞれ接続される。さらに、トランジスタN92のソースはセンステータ線DB、ドレインは読み出しデータ線ROBにそれぞれ接続される。このような構成により、センスデータ線DT、DBに読み出されたデータを読み出しデータ線ROT、ROBに選択的に出力することができる。

【0021】カレントミラーアルゴリズムは、PMOSトランジスタP41、P42、P43、P44で構成されている。トランジスタP41、P42のゲートとトランジスタP41のドレンを内部共通データ線NDSに接続し、トランジスタP42のドレンをセンスデータ線DTに接続する。さらに、トランジスタ

P43、P44は、ソースに電源電圧VDD、ゲートに読み出し制御信号REBをそれぞれ入力した電源制御用スイッチであり、トランジスタP41、P42とそれぞれ直列接続する。したがって、電源電圧VDDとなっている読み出し制御信号REBが接地電位VSSに駆動されると、トランジスタP43、P44が導通してカレントミラー回路CMが活性化される。ここで、トランジスタP41、P42のゲートをそれぞれ同じ寸法に形成し、さらにトランジスタP43、P44のゲートをそれぞれ同じ寸法に形成することにより、ミラー比1対1のカレントミラー回路を形成する。したがって、トランジスタP41のソース-ドレイン間に流れる電流と同じ値の電流を、トランジスタP42に流すことができる。

【0022】カレントミラー回路CMD1は、PMOSトランジスタP51、P52、P53、P54、P55、P56で構成される。トランジスタP51、P53、P54、P56がカレントミラー回路CMにおけるトランジスタP41、P42、P43、P44にそれぞれ対応する。トランジスタP51、P52、P53のゲートとトランジスタP51、P52のドレインを内部共通データ線NRSに接続し、トランジスタP53のドレインをセンスデータ線DBに接続する。さらに、トランジスタP54、P55、P56は、ソースに電源電圧VDD、ゲートに読み出し制御信号REBをそれぞれ入力した電源制御用スイッチであり、トランジスタP51、P52、P53とそれぞれ直列接続する。したがって、電源電圧VDDとなっている読み出し制御信号REBが接地電位VSSに駆動されると、トランジスタP54、P55、P56が導通してカレントミラー回路CMD1が活性化される。ここで、トランジスタP51、P52、P53のゲートをトランジスタP41、P42とそれぞれ同じ寸法に形成し、さらにトランジスタP54、P55、P56のゲートをトランジスタP43、P44とそれぞれ同じ寸法に形成して、トランジスタP51、P52、P53のソース-ドレイン間に流れる電流値を等しくすることにより、ミラー比2対1のカレントミラー回路を形成する。したがって、内部共通データ線NRSに流れる電流の半分の値の電流をセンスデータ線DBに流すことができる。この電流は、図4に示すように、記憶情報'1'もしくは'0'を保持するメモリセルに流れる電流ID(1)もしくはID(0)のほぼ中間値となるような電流IREFである。

【0023】バイアス回路BC1はNMOSトランジスタN61、N62で構成され、トランジスタN61のドレインとソースに内部共通データ線NDSと共通データ線DSをそれぞれ接続し、トランジスタN62のドレインとソースに内部共通データ線NRSと共通データ線RSをそれぞれ接続する。また、トランジスタN61、N62のゲートにバイアス電圧VB1をそれぞれ印加する。バイアス電圧VB1は、文献1のFigure 7.2.5に示されているようなバイアス・コントロール回路によって発生され、共通データ線DSと接地電位VSとの間の電位差が参照電圧Vrefになるように制御する。参照電圧Vrefは、MTJ素子MTJに印加される電圧が高くならないように低電圧に固定されており、共通

ータ線DSと接地電位VSSとの間の電位差が一定の低い値に保たれる。したがって、MTJ素子MTJが電圧依存性を持ち、印加電圧の増加に応じてMRが減少する場合においても、安定したMR値が得られるように制御することができる。ここで、トランジスタN62のゲート長をトランジスタN61と同じ長さとし、ゲート幅をトランジスタN61の二倍に形成することにより、トランジスタN62のオン抵抗をトランジスタN61の1/2としている。また、内部共通データ線NRSの配線長を内部共通データ線NDSと同じとし、内部共通データ線NRSの配線幅を内部共通データ線NDSの二倍になるように形成する。さらに、共通データ線RSの配線長を共通データ線DSと同じとし、共通データ線RSの配線幅を共通データ線DSの二倍に形成することにより、電源電圧VDDと共通データ線RSとの間の配線容量を、電源電圧VDDと共通データ線DSとの間の二倍、配線抵抗を1/2とする。このようなバイアス回路BC1の構成により、メモリセルMCおよびダミーセルDCにおける印加電圧を等しくすることができる。また、ダミーセルDCにおけるメモリセル一つあたりの負荷容量や抵抗を、メモリセルMCに対する負荷容量や抵抗と同じにできて、記憶情報に応じてメモリセルMCに流れる電流と同じ値の電流をダミーセルにおける相補のメモリセルMCL、MCHにそれぞれ流すことができる。

【0024】次に、読み出し回路RDC1による参照信号発生機構について説明する。ここで、共通データ線DS、RSに流れる電流をそれぞれIDS、IRSと表し、MTJ素子MTJが低抵抗状態にある時に流れる電流をIDS(1)と表す。また、メモリセルが記憶情報'0'を保持していて、MTJ素子MTJが高抵抗状態にある時に流れる電流をIDS(0)と表す。電流IDS(1)は、IDS(0)よりも大きな値である。さらに、共通データ線RSに流れる電流IRSは、相補の記憶情報を保持している二つのメモリセルMCH、MCLが接続されたダミーデータ線DD0およびDD1に流れる電流の合計となるので、

$$IRS = IDS(0) + IDS(1) \dots \dots \dots \quad (式1)$$

と表すことができる。

【0025】以上の記号を用いると、図5に示した一方のカレントミラー回路CMは、共通データ線DSに流れる電流と同じ値の電流IDS(1)またはIDS(0)でセンスデータ線DTを充電する。他方のカレントミラーCMD1回路は、共通データ線RSに流れる電流の半分の値の電流IRS/2でセンスデータ線DBを充電する。この電流IRS/2は、記憶情報に応じてメモリセルMCに流れる電流の平均値であり、図4に示したような関係の参照信号IREFに相当する。ここで、センスデータ線DT、DBの負荷容量が等しいものとしてCDと表し、カレントミラー回路に流れる電流の電源電圧VDDとセンスデータ線との間における電圧依存性が無視できるほど小さいと仮定する。また、カレントミラー回路に流れる電流は、簡単のために活性化された直後から一定の値であると仮定すると、記憶情報'1'を読み出

す場合のセンステータ線DTの電圧VDT(1)は、

$$VDT(1) = (IDS(1) \times T) / CD \dots \dots \dots \quad (\text{式 } 2)$$

と表すことができる（ここで、Tはカレントミラー回路が活性化されてからの時間を示す）。これに対して、センステータ線DBの電圧VDBは（式1）から、

$$VDB = [(IRS/2) \times T] / CD$$

$$= [(IDS(0) + IDS(1)) \times T] / (2 \times CD) \dots \quad (\text{式 } 3)$$

と表すことができる。（式2）（式3）から、記憶情報'1'を読み出す場合の読み出し信号 $\Delta V1$ は、

$$\Delta V1 = VDT(1) - VDB$$

$$= [(IDS(0) - IDS(1)) \times T] / (2 \times CD) \dots \quad (\text{式 } 4)$$

と表すことができる。また、記憶情報'0'を読み出す場合におけるセンステータ線DTの電圧VDT(0)は、

$$VDT(0) = (IDS(0) \times T) / CD \dots \dots \dots \quad (\text{式 } 5)$$

と表すことができる。よって、（式3）（式5）から、記憶情報'0'を読み出す場合の読み出し信号 $\Delta V0$ は、

$$\Delta V0 = VDT(0) - VDB$$

$$= [(IDS(0) - IDS(1)) \times T] / (2 \times CD) \dots \quad (\text{式 } 6)$$

と表すことができる。

【0026】以上から、ミラー比2対1のカレントミラーワン回路CMD1を用いて、正の2値の読み出し信号IDS(1)、IDS(0)の中間値に参照信号IRSを発生することにより、

（式4）（式6）に示したような正負の読み出し信号を発生することができる。したがって、記憶情報'1'を読み出す場合、センステータ線DTとDBとの電位差が大きくなるに従い、センスアンプSAにおけるトランジスタN81とP82の駆動能力が大きくなり、センステータ線DTが電源電圧VDD、センステータ線DBが接地電位VSSにそれぞれ駆動される。また、記憶情報'0'を読み出す場合、センステータ線DTとDBとの電位差が大きくなるに従い、センスアンプSAにおけるトランジスタP81とN82の駆動能力が大きくなり、センステータ線DTが接地電位VSS、センステータ線DBが電源電圧VDDにそれぞれ駆動される。このように、正負の読み出し信号に応じてセンステータ線DT、DBを電源電圧VDDまたは接地電位VSSに増幅することにより、記憶情報の分別を行うことができる。

【0027】図6は、図1に示したマルチブレクサMUXU1、MUXL1、MUXUD、MUXLD、書き込み回路WC1、WCL1、ダミー書き込み回路DWU1の回路構成例を示している。以下ではまず、マルチブレクサMUXU1、MUXL1、MUXUD、MUXLDについて説明する。マルチブレクサMUXU1は、図1に示したスイッチSRWに対応する8個のNMOSトランジスタN11j ($j=0, 1, \dots, 7$) で構成される。トランジスタN11jのゲートには対応するカラムアドレス信号YMTj ($j=0, 1, \dots, 7$) が入力される。マルチブレクサMUXL1は、図1に示したスイッチSRBに対応する8個のNMOSトランジスタN13j ($j=0, 1, \dots, 7$) と、図1に示したスイッチSWに対応する8個のNMOSトランジスタN14j ($j=0, 1, \dots, 7$) で構成される。トランジスタN13jのゲートには対応するカラムアドレス信号YMBj ($j=0, 1, \dots, 7$) 、トランジ

スタN14jのゲートには対応するカラムアドレス信号YMWj ($j=0, 1, \dots, 7$) がそれぞれ入力される。ここで、カラムアドレス信号YMTj、YMBj、YMWjの各々は、図1に示したカラムデコードアドレスDYMの中の信号であり、動作に応じてデータ線Djの結線状態を、以下のように制御する。

【0028】まず、待機状態の場合、カラムアドレス信号YMTj、YMWjが接地電位VSS、カラムアドレス信号YMBjが電源電圧VDDにそれぞれ保持され、トランジスタN11j、N14jがオフ状態、トランジスタN13jがオン状態となることにより、各データ線Dを接地する。次に、例えばデータ線D0が選択された読み出し動作の場合、カラムアドレス信号YMT0が電源電圧VDD、カラムアドレス信号YMB0、YMW0が接地電位VSSにそれぞれ駆動され、トランジスタN110がオン状態、トランジスタN130、N140がオフ状態となることにより、データ線D0を共通データ線DSに接続する。したがって、メモリセルMCに流れる電流を共通データ線DSに出力することができる。さらに、例えばデータ線D0が選択された書き込み動作の場合、カラムアドレス信号YMT0、YMW0が電源電圧VDD、カラムアドレス信号YMB0が接地電位VSSにそれぞれ駆動され、トランジスタN110、N140がオン状態、トランジスタN130がオフ状態となることにより、データ線D0を共通データ線DSおよび書き込み共通ノードWCOMに接続する。したがって、選択したデータ線に、電流経路を形成することができる。

【0029】マルチブレクサMUXUDは、図1に示したスイッチSRWに対応する2個のNMOSトランジスタN120、N121で構成される。トランジスタN120、N121のゲートにはカラムアドレス信号YMDTが入力される。マルチブレクサMUXLDは、図1に示したスイッチSRBに対応する2個のNMOSトランジスタN150、N151と、図1に示したスイッチSWに対応する2個のNMOSトランジスタN190、N191で構成される。トランジスタN150、N151のゲートにはカラムアドレス信号YMDB、トランジスタN190、N191のゲートにはカラムアドレス信号YMDWがそれぞれ入力される。ここで、カラムアドレス信号YMDT、YMDB、YMDWの各々は、図1に示したカラムデコードアドレスDYMの中の信号であり、動作に応じてダミーデータ線DD0、DD1の結線状態を、以下のように制御する。

【0030】まず、待機状態の場合、カラムアドレス信号YMDT、YMDWが接地電位VSS、カラムアドレス信号YMDBが電源電圧VDDにそれぞれ保持され、トランジスタN120、N121、N190、N191がオフ状態、トランジスタN150、N151がオン状態となることにより、ダミーデータ線DD0、DD1を接地する。次に読み出し動作の場合、データ線Djの中の一つが選択されたのに応じて、カラムアドレス信号YMDTが電源電圧VDD、カラムアドレス信号YMDB、YMDWが接地電位VSSにそれぞれ駆動され、トランジスタN120、N121がオン状態、トランジスタN150、N151、N190、N191がオフ状態となることにより、ダミーデータ線DD0お

40

よりDD1を共通データ線RSに接続する。したがって、ダミーセルDCに流れる電流を共通データ線RSに出力することができる。さらに、書き込み動作の場合、カラムアドレス信号YMDT、YMDWが電源電圧VDD、カラムアドレス信号YMDBが接地電位VSSにそれぞれ駆動され、トランジスタN120、N121、N190、N191がオン状態、トランジスタN150、N151がオフ状態となることにより、電源電圧VDDと接地電位VSSとの間に、ダミーデータ線DD1から共通データ線RSおよびダミーデータ線DD0を介した電流経路を形成する。したがって、ダミーデータ線DD0、DD1に流れる電流の向きがそれぞれ矢印ADL、ADHの方向になるので、図2で説明したようにダミーセルDCに相補の記憶情報を同時に書き込むことができる。ここで、MTJ素子に書き込まれた磁界の向きは、印加電圧を0Vとしても一般に変わらないので、チップの電源が切れた場合でも保持される。したがって、ダミーセルの書き込み動作は、例えば出荷前のテストの際に、初期化動作として一度行えば十分である。

【0031】次に、図6に従い、書き込み回路WC1、WL1、ダミー書き込み回路DWU1の回路構成例を説明する。まず、書き込み回路WC1は、PMOSトランジスタP161、P162、P163およびNMOSトランジスタN161、N162、N163、N164で構成され、アレイ制御バスABSの中の書き込み制御信号WET、WEB、プリチャージイネーブル信号EQが入力される。トランジスタN164は書き込みデータ線選択用スイッチであり、ソースに書き込みデータ線WIB、ドレインに内部書き込みノードWDB、ゲートにカラム選択信号WYSをそれぞれ接続する。また、トランジスタP161、P162、N161、N162をそれぞれ直列接続することにより、クロックト・インバータを形成する。トランジスタP161のゲートに書き込み制御信号WEB、N161のゲートに書き込み制御信号WETをそれぞれ接続し、クロックト・インバータのデータ入力端子であるトランジスタP162、N162のゲートに内部書き込みノードWDB、出力端子であるトランジスタP161、N161のドレインに共通データ線DSをそれぞれ接続する。さらに、トランジスタP163とN163の夫々は、クロックト・インバータのデータ入力端子である内部書き込みノードWDBと出力端子である共通データ線DSのプリチャージ用トランジスタである。トランジスタP163のゲートにカラム選択信号WYS、N163のゲートにプリチャージイネーブル信号EQをそれぞれ入力する。

【0032】書き込み回路WL1は、前述した書き込み回路WC1と同じトランジスタで構成されるが、以下の四点が異なる。第一に、トランジスタN164のソースを書き込みデータ線WITに接続する。第二に、クロックト・インバータのデータ入力端子であるトランジスタP162、N162のゲート端子を、内部書き込みノードWDTと呼ぶ。第三に、クロックト・インバータの出力端子であるトランジスタP161、N161のドレインを書き込み共通ノードWCOMに接続する。第四に、トランジスタN163のゲートに書き込

み制御信号WEBを接続する。以上のような構成の書き込み回路WC1、WL1により、データ線DSと書き込み共通ノードWCOMを次のように駆動する。

【0033】まず、待機状態の場合、書き込み回路WC1において、書き込み制御信号WETが接地電位VSS、書き込み制御信号WEBとプリチャージイネーブル信号EQが電源電圧VDDにそれぞれ駆動され、トランジスタP161、N161がオフ状態、N163がオン状態となることにより、共通データ線を接地する。また、書き込み回路WL1において、

10 同様にトランジスタP161、N161がオフ状態、N163がオン状態となることにより、書き込み共通ノードWCOMを接地する。

【0034】次に、読み出し動作の場合、書き込み制御信号WETとプリチャージイネーブル信号EQが接地電位VSS、書き込み制御信号WEBが電源電圧VDDにそれぞれ駆動され、トランジスタP161、N161、N163がオフ状態となることにより、書き込み回路WC1の出力を高抵抗状態とする。一方、書き込み回路WL1において、トランジスタP161、N161がオフ状態、N163がオン状態に保持されること

20 により、書き込み共通ノードWCOMを接地する。

【0035】さらに、書き込み動作の場合、カラム選択信号WYSが昇圧電位VDH（ここで、VTHNをNMOSトランジスタのしきい電圧とすると、 $VDH \geq VDD + VTHN$ である。）、書き込み制御信号WETが電源電圧VDD、書き込み制御信号WEBとプリチャージイネーブル信号EQが接地電位VSSにそれぞれ駆動されることにより、書き込み回路WC1、WL1におけるトランジスタN164がオン状態、クロックト・インバータが活性化状態、トランジスタP163、N163がオフ状態となる。この動作により、電源電圧VDDと接地電位VSSとの間に、書き込み回路WC1、WL1、共通データ線DS、書き込み共通ノードWCOM、前述のマルチプレクサMUXU1、MUXL1によって選択されたデータ線Dを介した電流経路を形成する。ここで、書き込みデータ線WIB、WITをそれぞれ接地電位VSS、電源電圧VDDに駆動する場合、書き込み回路WC1におけるトランジスタP162と書き込み制御回路WL1におけるトランジスタN162を導通させて、選択したデータ線Dに矢印ADLの向きの電流を発生することにより、選択したメモリセルMCに記憶情報'1'を書き込む。一方、書き込みデータ線WIB、WITをそれぞれ電源電圧VDD、接地電位VSSに駆動する場合、書き込み回路WC1におけるトランジスタN162と書き込み制御回路WL1におけるトランジスタP162を導通させて、選択したデータ線Dに矢印ADHの向きの電流を発生することにより、選択したメモリセルMCに記憶情報'0'を書き込む。

【0036】ダミー書き込み回路DWU1は、負荷用PMOSトランジスタP181、P182と、プリチャージ用NMOSトランジスタN181、N182で構成される。トランジスタP181、P182のソースとゲートに電源電圧VDDをそれぞれ入力し、ドレインを共通データ線RSに接続する。また、トランジスタN181、N182のゲートにプリチャージイネーブル信号E

Q. ソースに接地電位VSSをそれぞれ入力し、ドレンを共通データ線RSにそれぞれ接続する。このような構成により、待機状態の場合、プリチャージイネーブル信号EQが電源電圧VDDに駆動され、トランジスタN181、N182がオン状態となることにより、共通データ線RSを接地する。

【0037】また、読み出し動作の場合、プリチャージイネーブル信号EQが接地電位VSSに駆動され、トランジスタN181、N182がオフ状態となる。したがって、書き込み回路WCU1と同じように、ダミー書き込み回路DWU1の出力を高抵抗状態とする。ここで、トランジスタP181、P182のゲート寸法をトランジスタP161と同じ寸法にそれぞれ形成する。さらに、例えばトランジスタN161およびN163のゲート寸法が同じの場合、トランジスタN181、N182のゲート長をトランジスタN161およびN163と同じ長さとし、ゲート幅をトランジスタN161とN163のゲート幅の合計となるようにそれぞれ形成することにより、共通データ線DSに生じた拡散容量の2倍の拡散容量を共通データ線RSに発生する。

【0038】さらに書き込み動作の場合、ダミー書き込み回路DWU1の出力は、読み出し動作の場合と同じように、プリチャージイネーブル信号EQが接地電位VSSに駆動され、トランジスタN181、N182がオフ状態となることにより、高抵抗状態となる。以上の構成と動作をまとめると、書き込み回路WCU1、WCL1において、書き込み動作の場合、選択データ線D上に記憶情報に応じた向きの電流を発生することにより、図3に示した強磁性体層FRLの磁化方向を反転させるのに必要な磁界を発生することができる。また、読み出し動作の場合、書き込み回路WCU1の出力を高抵抗状態とすることにより、メモリセルMCに流れる電流を、共通データ線DSを介して読み出し回路RDC1に出力することができる。ここで、書き込み制御信号WEB、WETがゲートに入力されるトランジスタを電源側ではなく出力端子側に設けたクロックト・インバータを用いることにより、出力を高抵抗状態とした読み出し動作時に共通データ線DSに付加される負荷容量を、トランジスタP161、N161の拡散容量に抑制することができる。さらに、待機状態の場合、共通データ線DSと書き込み共通ノードWCOMを、データ線Djと同様に接地することにより、選択されたデータ線と共通データ線DSおよび書き込み共通ノードWCOMを接続する時に、選択データ線に電流が発生しないようにしている。したがって、メモリセルMCにおける記憶情報の破壊を防ぐことができる。

【0039】次に、ダミー書き込み回路DWU1において、初期化動作の場合、出力を高抵抗状態とすることにより、マルチブレクサMUXUD、MUXLDの説明で述べたように、ダミーデータ線DD0とDD1に流れる電流を共通データ線RSで折り返すような電流経路を形成することができる。また、読み出し動作の場合、共通データ線DSに生じた拡散容量の2倍の拡散容量を共通データ線RSに発生す

るよう各トランジスタを形成することにより、ダミーセルDCにおけるメモリセル一つあたりの拡散容量を、共通データ線DSに接続されるメモリセルMCと同じ値とすることができる。したがって、メモリセルMCとダミーセルDCの活性直後から、図4に示したような関係の参照信号を精度良く発生することができる。さらに、待機状態の場合、共通データ線RSを、ダミーデータ線DD0およびDD1と同様に接地することにより、これらを接続する時に、ダミーデータ線DD0およびDD1に電流が発生しないようにしている。したがって、ダミーセルDCにおける記憶情報の破壊を防ぐことができる。

【0040】図7は、ワードドライバアレイWDAを構成するワードドライバを示しており、読み出しワード線WRkを駆動する読み出しドライバWRDと書き込みワード線WWkを駆動する書き込みドライバWWDで構成される。読み出しドライバWRDは、PMOSトランジスタP21、P22とNMOSトランジスタN21、N22で構成されたNOR回路である。一方の入力端子であるトランジスタP21、N21のゲートに対応するロウデコード信号XBkをそれぞれ接続し、他方の入

力端子であるトランジスタP22、N22のゲートに書き込み制御信号WETをそれぞれ接続する。また、出力端子を読み出しワード線WRkに接続される。ここで、書き込み制御信号WETは、図1に示したアレイ制御バスABSの中の一つである。書き込みドライバWWDは、PMOSトランジスタP31とNMOSトランジスタN31で構成される。互いに直列接続して、トランジスタP31のソースに電源電圧VDDを入力し、トランジスタN31のソースを書き込みワード線WWkに接続する。また、トランジスタP31のゲートに対応するロウデコード信号XBk、トランジスタN31のゲートに書き込み制御信号WETをそれぞれ接続する。このワードドライバの動作について、以下で説明する。

【0041】まず、読み出し動作の場合、書き込み制御信号WETが接地電位VSSに保持されるので、トランジスタN22はオフ状態を保持し、トランジスタP22が導通してトランジスタP21に電源電圧VDDが供給されることにより読み出しドライバWRDが活性化される。したがって、k番目のワード線が選択されて電源電圧VDDとなっているロウデコード信号XBkが接地電位VSSに駆動されて、トランジスタP21が導通することにより、接地電位VSSとなっている読み出しワード線WRkを電源電圧VDDに駆動する。この時、書き込みドライバWWDにおいて、トランジスタN31がオフ状態にあるので、書き込みワード線WWkは接地電位VSSに保持される。

【0042】次に、書き込み動作の場合、接地電位VSSとなっている書き込み制御信号WETが電源電圧VDDに駆動されると、書き込みドライバWWDにおけるトランジスタN31が導通する。したがって、k番目のワード線が選択されて電源電圧VDDとなっているロウデコード信号XBkが接地電位VSSに駆動され、トランジスタP31が導通することにより、書き込みワード線WWkに矢印AWWの向きの電流が

発生する。この時、読み出しドライバWRDは待機状態にあり、トランジスタP22がオフ状態、トランジスタN22が導通しているので、読み出しワード線WRkが接地電位VSSに保持される。以上から、本実施例によるワードドライバは、動作に応じて読み出しワード線と書き込みワード線を別個に駆動することができる。

【0043】次に、本発明によるメモリブロックの読み出し動作を全体的に説明する。図8は、読み出し動作のタイミング波形を示している。以下では、選択するメモリセルMCnmがn番目のワード線とm番目のデータ線との交点に配置され、一例として記憶情報'1'を保持し、選択するメモリセルMCnmにおけるMTJ素子MTJが低抵抗状態にあるものとする。また、図1では省略されているが、読み出しはーク線ROT、ROB、書き込みデータ線WIT、WIBはプリチャージ回路にそれぞれ接続されており、待機時にVDD/2に駆動されているものとする。これらの仮定に基づき、図1、図2、図5、図6、図7を用いながら説明を行う。

【0044】まず、読み出し動作の場合、カラム選択信号WYS、書き込み制御信号WETを接地電位VSSにそれぞれ保持して、書き込み回路WCU1、WCL1を非活性状態に保つ。はじめに、メモリセルMCnmの選択動作を行う。図8では省略されている読み出し起動信号が入力されると、電源電圧VDDとなっているプリチャージイネーブル信号EQを接地電位VSSに駆動して、図6に示した書き込み回路WCU1とダミー書き込み回路DWU1をそれぞれオフ状態とし、共通データ線DS、RSと接地電位VSSとを遮断する。また、図5に示したプリチャージ回路PCEQもオフ状態となるので、センスデータ線DT、DBはプリチャージ電位である接地電位VSSに保持される。次に、カラムアドレス信号YMWm、YMDWを接地電位VSSに保持し、接地電位VSSとなっているカラムアドレス信号YMTm、YMDTを電源電圧VDD、電源電圧VDDとなっているカラムアドレス信号YMBm、YMDBを接地電位VSSに駆動して、図6に示した、データ線Dmおよびダミーデータ線DD0、DD1を接地電位VSSから遮断し、共通データ線DSとデータ線Dm、共通データ線RSとダミーデータ線DD0、DD1とをそれぞれ接続する。さらに、電源電圧VDDとなっているロウデコード信号XBnを接地電位VSSに駆動することにより、図7に示したワードドライバにおける読み出しワード線WRnを電源電圧VDDに駆動し、書き込みワード線WRnを接地電位VSSに保持する。したがって、図1に示したメモリブロックにおけるメモリセルMCnmとダミーセルDCnが選択され、図2に示したメモリセルにおけるトランジスタN1が導通する。統いて、電源電圧VDDとなっている読み出し制御信号RDBを接地電位VSSに駆動し、図5に示した読み出し回路RDC1におけるカレントミラー回路CM、CMD1をそれぞれ活性化することにより、電源電圧VDDと接地電位VSSとの間に、カレントミラー回路CMおよびCMD1からバイアス回路BC1、マルチプレクサMUXU1、MUXUD、メモリセルMCnmおよ

びダミーセルDCnを介した二つの電流経路を形成する。

【0045】次に、記憶情報の検出と増幅を行う。読み出し回路RDC1の説明で述べたように、メモリセルMCnmが記憶情報'1'を保持していることに応じて、一方の共通データ線DSに実線で示す電流IDS(1)が流れ、これをミラー比1:1のカレントミラー回路CMで受けることにより、センスデータ線DTは電流IDS(1)で充電される。同図では、センスデータ線DTに流れる電流をIDTと表し、実線で示している。これに対して、ダミーセルDCnが相補の記憶情報を保持していることに応じて、他方の共通データ線RSに一点鎖線で示す電流IRS=IDS(0)+IDS(1)が流れ、これをミラー比2対1のカレントミラー回路CMD1で受けることにより、センスデータ線DBは電流IRS/2で充電される。同図では、センスデータ線DBに流れる電流をIDBと表し、一点鎖線で示している。図8では、比較のために、記憶情報'0'に応じて共通データ線DSおよびセンスデータ線DTに電流IDS(0)が流れる場合の波形を点線で示している。以上から、センスデータ線DTとDBとの間に微小電位差が発生され、(式4)に示した正の読み出し信号ΔV1が十分大きくなるタイミングで、電源電圧VDDとなっているセンスアンプ起動信号SDPを接地電位VSSに駆動することにより、図5に示したセンスアンプSAを活性化して、センスデータ線DTとDBを電源電圧VDDと接地電位VSSにそれぞれ増幅する。さらに、接地電位VSSとなっているカラム選択信号RYSを昇圧電位VDHに駆動して、図5に示したカラム選択回路YSW1を活性化することにより、VDD/2にプリチャージされた読み出しはーク線ROT、ROBを電源電圧VDD、接地電位VSSにそれぞれ駆動し、記憶情報を出力する。

【0046】さらに、待機状態に戻る動作を行う。はじめに、昇圧電位VDHとなっているカラム選択信号RYSを接地電位VSSに駆動してカラム選択回路をオフ状態とする。次に、接地電位VSSとなっているロウデコード信号XBkを電源電圧VDDに駆動して、電源電圧VDDとなっている読み出しワード線WRkを接地電位VSSに駆動し、メモリセルにおけるトランジスタN1をオフ状態として、メモリセルMCnmとダミーセルDCnに形成されている電流経路を遮断する。また、接地電位VSSとなっている読み出し制御信号RDBを電源電圧VDDに駆動してカレントミラー回路CM、CMD1を待機状態とする。さらに、電源電圧VDDとなっているカラムアドレス信号YMTm、YMDTを接地電位VSS、接地電位VSSとなっているカラムアドレス信号YMBm、YMDBを電源電圧VDDに駆動して、データ線Dmおよびダミーデータ線DD0、DD1を接地する。統いて、接地電位VSSとなっているセンスアンプ起動信号SDPを電源電圧VDDに駆動してセンスアンプSAを待機状態とし、最後に接地電位VSSとなっているプリチャージイネーブル信号EQを電源電圧VDDに駆動することにより、センスデータ線DT、DB、共通データ線DS、RSを接地電位VSSにプリチャージする。最後に、電源電圧VDDと接地電位VSSとなっている読

み出しデータ線ROTとROBをVDD/2に駆動して、待機状態に戻る。

【0047】次に、本発明によるメモリブロックの書き込み動作を全体的に説明する。図9は、書き込み動作のタイミング波形を示している。以下では、選択するメモリセルMCnmがn番目のワード線とm番目のデータ線との交点に配置され、一例として記憶情報'1'を書き込むものとする。また、図1では省略されているが、読み出しデータ線ROT、ROB、書き込みデータ線WIT、WOBはプリチャージ回路に接続されており、待機時にVDD/2に駆動されているものとする。以上の仮定に基づき、図1、図2、図5、図6、図7を用いながら説明を行う。

【0048】まず、書き込み動作の場合、カラム選択信号RYSを接地電位VSS、センスアンプ起動信号SDPと読み出し制御信号RDBを電源電圧VDDにそれぞれ保持して、読み出し回路RDC1を待機状態とする。はじめに、書き込みデータの入力動作を行う。図9では省略されている書き込み起動信号および記憶情報'1'が入力されると、VDD/2にプリチャージされている書き込みデータ線WIBとWITが接地電位VSSと電源電圧VDDにそれぞれ駆動される。次に、接地電位VSSとなっているカラム選択信号WYSを昇圧電位VDHに駆動し、図6に示した書き込み回路WCU1、WCL1におけるトランジスタN164をオン状態とすることにより、一方の内部書き込みノードWDBを接地電位VSS、他方の内部書き込みノードWDTを電源電圧VDDにそれぞれ駆動する。

【0049】次に、メモリセルMCnmの選択と書き込みを行う。まず、電源電圧VDDとなっているプリチャージイネーブル信号EQを接地電位VSSに駆動し、図6に示した書き込み回路WCU1におけるトランジスタP163をオフ状態とすることにより、共通データ線DSと接地電位VSSを遮断する。また、接地電位VSSとなっているカラムアドレス信号YMTm、YMWmを電源電圧VDD、電源電圧VDDとなっているカラムアドレス信号YMBmを接地電位VSSにそれぞれ駆動して、図6に示したデータ線Dmを接地電位VSSから遮断し、共通データ線DSおよび書き込み共通ノードWCOMに接続する。さらに、接地電位VSSとなっている書き込み制御信号WETを電源電圧VDD、電源電圧VDDとなっている書き込み制御信号WEBを接地電位VSSにそれぞれ駆動し、書き込み回路WCU1、WCL1をそれぞれ活性化することにより、電源電圧VDDと接地電位VSSとの間に、書き込み回路WCU1から共通データ線DS、データ線Dm、書き込み共通ノードWCOMおよび書き込み回路WCL1を介した電流経路を形成して、実線で示した電流IDS(W1)を流す。この電流は、図6に示した矢印ADLの向きに対応させて正の値としている。図9では、比較のために、記憶情報'0'に応じて共通データ線DSに電流IDS(W0)が流れる場合の波形を点線で示している。この電流は、図6に示した矢印ADHの向きに対応させて負の値としている。続いて、電源電圧VDDとなっているロウデコード信号XBnを接地電位

VSSに駆動して、図7に示したワードドライバにおける書き込みドライバ部WWDを活性化することにより、書き込みワード線WWnに電流IWを流す。したがって、データ線Dmと書き込みワード線WWnとの交点に合成磁界が発生されて、メモリセルMCnmに記憶情報'1'が書き込まれる。

【0050】さらに、待機状態に戻る動作を行う。はじめに、接地電位VSSとなっているロウデコード信号XBkを電源電圧VDDに駆動して、書き込みワード線WWkにおける電流経路を遮断する。また、電源電圧VDDとなっている書き込み制御信号WETを接地電位VSS、接地電位VSSとなっている書き込み制御信号WEBを電源電圧VDDにそれぞれ駆動して、書き込み回路WCU1、WCL1をそれぞれ非活性状態とすることにより、電源電圧VDDと接地電位VSSとの間における電流経路を遮断する。さらに、電源電圧VDDとなっているカラムアドレス信号YMTm、YMWmを接地電位VSS、接地電位VSSとなっているカラムアドレス信号YMBmを電源電圧VDDにそれぞれ駆動することにより、データ線Dmを接地する。続いて、接地電位VSSとなっているプリチャージイネーブル信号EQを電源電圧VDDに駆動して共通データ線DSを接地電位VSSにプリチャージする。さらに、昇圧電位VDHとなっているY選択信号WYSを接地電位VSSに駆動して、図6に示した書き込み回路WCU1、WCL1におけるトランジスタP163をオン状態とすることにより、内部書き込みノードWDB、WDTを電源電圧VDDにそれぞれプリチャージする。最後に、書き込みデータ線WIT、WIBをVDD/2に駆動して、待機状態に戻る。

【0051】以上で述べたメモリブロックの構成と動作による効果を、以下にまとめる。第一に、本実施例によるダミーセルは、図1に示したようにメモリセルMCと同じ構造の二つのメモリセルMCL、MCHをワード線対と二つのダミーデータ線との交点に並列配置した構成であり、相補の記憶情報を保持する。また、読み出し動作において、これらのメモリセルMCL、MCHを同時に活性化することにより、共通データ線DSで短絡された二つのダミーデータ線に記憶情報'1'の時の電流と記憶情報'0'の時の電流を出力する。ここで、図5に示したように、メモリセルMCに生じた電流をミラー比1対1のカレントミラー回路CMで受けてセンスアンプの一方の端子を充電するのに対しても、ダミーセルDCに生じた電流をミラー比2対1のカレントミラーリー回路CMD1で受けることにより、記憶情報に応じてメモリセルに流れる電流の平均電流でセンスアンプの他方の端子を充電する。したがって、(式4) (式6)に示したような正負の読み出し信号が得られて、センスアンプSAにより記憶情報の判別と増幅を行うことができる。本実施例によるダミーセルは、メモリセルと同じ構造のセルで構成されているために、加工ばらつきによる特性の変化が生じた場合にも、メモリセルの平均電流を精度良く発生することができるので、読み出し信号のマージンを確保できて、正確に記憶情報を読み

出すことが出来る。

【0052】第二に、MTJ素子に書き込まれた磁界の向きは、印加電圧を0Vとしても一般に変わらないので、チップの電源が切れた場合でも保持される。したがって、製造業者が、チップ出荷前にダミーセルの書き込み動作を行うことにより、本発明によるMRAMの起動時間を短縮できる。

【0053】第三に、ダミーセルの初期化動作に必要なカラムアドレス信号YMDT、YMDB、YMDWは、後述する外部アドレスを入力することにより発生されるので、チップのテスト時に初期化動作を行えば、安いコストで簡単に行うことができる。

【0054】これまで、8×8ビット構成のメモリセルアレイMCAと8×1ビット構成のダミーセルアレイDCA1を例に説明してきた。しかし、アレイ構成は、これに限定されない。例えば、一組のワード線対および一本のデータ線毎に数百ビットのメモリセルをそれぞれ配置したメモリセルアレイ構成とすることも可能である。そのようにメモリセルアレイのサイズを大きくすることにより、読み出し回路RDC1と書き込み回路WCU1、WCL1を多数のメモリセルMCで共有して、チップ全体に対するメモリセルアレイの占有率を高めることができる。

【0055】以上に説明した効果は、図1に示したメモリブロックにおける各回路ブロックの構成を変形しても実現できる。その一例として、ここでは図5に示したカレントミラー回路CMD1の変形例を説明する。図10は、ミラー比2対1のカレントミラー回路の別の構成例を示している。カレントミラー回路CMD1は、6つのトランジスタで構成されていたが、図10の例は4つのPMOSトランジスタP231、P232、P233、P234で構成される。トランジスタP231およびP232のゲートと、P231のドレインを内部共通データ線NBSにそれぞれ接続する。また、トランジスタP232のドレインをセンスデータ線DBに接続する。さらに、トランジスタP233、P234は、ソースに電源電圧VDD、ゲートに読み出し制御信号REBをそれぞれ入力した電源制御用スイッチであり、トランジスタP231、P232にそれぞれ直列接続する。ここで、トランジスタP232、P234を、図5のカレントミラー回路CMにおけるトランジスタP42、P44とそれぞれ同じゲート寸法に形成する。また、トランジスタP231、P233のゲート長を、トランジスタP41、P43と同じ長さとし、ゲート幅をトランジスタP41、P43の二倍にそれぞれ形成することにより、ミラー比2対1のカレントミラー回路を形成している。このように、図5中のカレントミラー回路CMD1で並列接続している同寸法の2個のトランジスタP51とP52あるいはP53とP54を、それぞれ1個のトランジスタP231あるいはP233で置き換えることも可能である。それにより、トランジスタの分離領域が不要になり、レイアウト面積を縮小できる。

【0056】さらに、図1に示した回路ブロックにおける

10

20

30

40

50

回路構成の別の例として、ダミー書き込み回路について説明する。図11は、ダミー書き込み回路の別の構成例を示している。図6に示したダミー書き込み回路DWU1は、4つのトランジスタで構成されていたが、図11の例は1個のPNOSトランジスタP241と1個のNMOSトランジスタN241で構成される。ここで、トランジスタP241のゲート長を、トランジスタP181、P182と同じ長さとし、ゲート幅をトランジスタP181、P182のゲート幅の合計となるように形成する。また、トランジスタN241のゲート長を、トランジスタN181、N182と同じ長さにし、ゲート幅をトランジスタN181、N182のゲート幅の合計となるように形成する。このように、図6中のダミー書き込み回路DWU1で並列接続している同寸法の2個のトランジスタを、それぞれ1個のトランジスタで置き換えることも可能である。それにより、トランジスタの分離領域が不要になり、レイアウト面積を縮小できる。

【0057】以下では、本実施例によるメモリブロックを適用した半導体装置の全体構成例を説明する。図12は、図1に示した本実施例によるメモリブロックBLKがマトリクス状に配置されたメモリアレイMARの構成例（ここでは $t \times s$ 構成）を示している。メモリアレイMARの周辺には、上辺にカラムデコーダYSDECが配置される。また左辺には、マトリクスの行毎に、複数個（ここでは t 個）のカラムデコーダYMD、ロウデコーダXDEC、アレイ制御回路ACTLがそれぞれ配置される。さらに、各メモリブロックBLKにはメインデータ入力線MIおよびメインデータ出力線MOがそれぞれ接続されている。同図では省略されているが、メインデータ入力線MIは図1に示した複数個の書き込みデータ線WIT、WIBで構成され、メインデータ出力線MOは複数個の読み出しデータ線ROT、ROBで構成されている。各回路ブロックは、以下のようないくつかの役割を果たす。

【0058】カラムデコーダYSDECは、入力されたカラムブリデコードアドレスCYSに応じて図1に示した複数のカラム選択信号RYS、WYSをそれぞれ発生し、対応する列に配置されたメモリブロックBLKにそれぞれ入力する。カラム選択信号RYSによって、選択するメモリセルが配置されたメモリブロックBLKからメインデータ出力線MOに、読み出しデータが送出される。また、カラム選択信号WYSによって、メインデータ入力線MIから選択するメモリセルが配置されたメモリブロックBLKへ、書き込みデータが入力される。カラムデコーダYMDは、入力されたカラムブリデコードアドレスCYMおよびマット選択信号MSに応じて、カラムデコードアドレスDYMをそれぞれ発生し、対応する行に配置されたメモリブロックBLKにそれぞれ入力する。カラムデコードアドレスDYMは、図1に示した複数のカラムアドレス信号YMTj、YMBj、YMWj、YMDT、YMDB、YMDWで構成され、前述したように選択するメモリセルが配置されたメモリブロックBLKにおけるデータ線およびダミーデータ線が活性化されるように

制御する。ロウデコードXDECは、入力されたロウブリデコードアドレスCXおよびマット選択信号MSに応じてロウデコードアドレスDXBをそれぞれ発生し、対応する行に配置されたメモリブロックBLKにおけるワードドライバアレイWDAにそれぞれ入力する。アレイ制御回路ACTLは、入力されたマット選択信号MSに応じてアレイ制御バスABSに複数の制御信号をそれぞれ発生し、対応する行に配置されたメモリブロックBLKにそれぞれ入力する。複数の制御信号は、図1、図6、図7で示したセンサアンプ起動信号SDP、プリチャージイネーブル信号EQ、読み出し制御信号RDB、書き込み制御信号WET、WEBであり、選択するメモリセルを指定するように、それぞれ活性化される。

【0059】図13は、同期式メモリの構成例の要部ブロック図である。クロックバッファCLKB、コマンドバッファCB、コマンドデコーダCD、アドレスバッファAB、入力バッファDIB、出力バッファDOBを有し、さらにメモリアレイMARを含んだ複数個のユニットUNT1、UNT2、…が設けられている。ユニットはバンクに対応しているが、バンクあたり複数個のユニットとしてもよい。ユニットは、さらにロウブリデコードXPD、カラムブリデコードYPD、ライトバッファWB、リードバッファRBを有する。各回路ブロックは、以下のような役割を果たす。

【0060】クロックバッファCLKBは、外部クロックCLKを内部クロックCLKIとしてコマンドデコーダCD、アドレスバッファAB、入力バッファDIB、出力バッファDOBなどにそれぞれ分配する。コマンドデコーダCDは、外部制御信号CMDからコマンドバッファCBを介して発生された内部制御信号CMDIに応じて、アドレスバッファAB、入力バッファDIB、出力バッファDOBなどをそれぞれ制御する制御信号CMを所望のタイミングで発生する。

【0061】アドレスバッファABは、外部クロックCLKに応じた所望のタイミングで外部からのアドレスADRを取り込み、ロウアドレスBXをロウアドレスブリデコーダXPDに出力する。ロウアドレスブリデコーダXPDは、ロウアドレスBXをブリデコードし、ロウブリデコードアドレスCXとマット選択信号MSをメモリアレイMARに出力する。アドレスバッファABは、さらにカラムアドレスBYをカラムアドレスブリデコーダYPDに出力する。カラムアドレスブリデコーダYPDは、カラムアドレスBYをブリデコードしてカラムブリデコードアドレスCYMとYブリデコードアドレスCYSをメモリアレイMARに出力する。ここで外部からのアドレスは、一例として、ロウ系アドレスとカラム系アドレスを同時に取り込まれるものとする。この場合、ロウ系動作とカラム系動作が同時に行われることにより、読み書き動作を高速化することができる。また、別の例として、ロウ系アドレスとカラム系アドレスを時分割的に取り込まれるものとしてもよい。この場合、アドレス入力に必要なビン数を低減することができて、パッケージ実装コストやボードコストを低減するこ

とができる。

【0062】入力バッファDIBは、外部入力データDQを所望のタイミングで取り込んで、ライトデータGIをライトバッファWBに入力する。ライトバッファWBは、ライトデータGIをメイン入力線MIに出力する。一方、リードバッファRBは、メイン出力線MOの信号を受けて、リードデータGOを出力バッファDOBに入力する。出力バッファDOBは、入出力データDQに所望のタイミングでリードデータGOを出力する。

10 【0063】このように、本実施例によるメモリブロックBLKを用いて同期式メモリを実現することができる。この場合、外部クロックCLKと同期してコマンドやアドレスを取り込み、さらにデータを入出力することにより高い周波数での動作が可能であり、高データレートを実現することができる。また、同図では省略されているが、アドレスバッファABとカラムアドレスブリデコーダYPDとの間にカラムアドレスカウンタを設け、カラムアドレスを初期値としてバースト動作を行うカラムアドレスBYを発生することによって、データを連続して入出力する動作も可能である。

＜実施例2＞本実施例では、メモリブロックの別の構成例と動作を説明する。図14は、メモリブロックの要部ブロック図を示しており、読み出し回路RDC2、書き込み回路WCU10、WCU11、WCL10、WCL11、ダミー書き込み回路DWU1、マルチブレクサMUXU20、MUXL20、MUXU21、MUXL21、MUXUD、MUXLD、メモリセルアレイMCA10、MCA11、ダミーセルアレイDCA1で構成されている。同図では、図1に示したようなワードドライバアレイWDA、カラムデコードアドレスDYM、ロウデコードアドレスDXB、アレイ制御バスABSが簡単のために省略されている。本実施例の特徴は、二つのメモリセルアレイMCA10、MCA11の間にダミーセルアレイDCA1を配置し、読み出し回路RDC2とデータ線Djとの間の遠近端差を低減することにある。以下では、図1と異なる点に注目しながら図14に示した回路ブロックとその回路構成について述べ、本実施例による参照信号の発生方法と読み書き動作について説明する。

【0064】本実施例によるメモリセルアレイMCA10、MCA11は、図14に示すように、図1に示したメモリセルアレイMCAの半分の規模であり、8×4ビットのメモリセルMCをそれぞれ有する構成例である。一方のメモリセルアレイMCA10において、ワード線対WRk、WWk (k=0, …, 7) とデータ線Dj (j=0, …, 3) の交点にそれぞれメモリセルMCが配置される。他方のメモリセルアレイMCA11において、ワード線対WRk、WWk (k=0, …, 7) とデータ線Dj (j=4, …, 7) の交点にそれぞれメモリセルMCが配置される。また、ダミーセルアレイDCA1は、メモリセルアレイMCAの構成に応じて8×1ビットのダミーセルDCを有する。

【0065】マルチブレクサMUXU20、MUXL20はメモリセルアレイMCA10の両端にそれぞれ配置され、互いに対を

なして動作する。一方のマルチブレクサMUXU20は、共通データ線DS0と複数のデータ線Dj (j=0, …, 3)との間に配置された複数個（ここでは4個）のスイッチSRWで構成され、同図では省略されているカラムデコードアドレスDYMに応じて、選択するデータ線Dと共通データ線DS0とを接続する。他方のマルチブレクサMUXL20は、接地電位VSSと複数のデータ線Djとの間に配置された複数個（ここでは4個）のスイッチSRBと、書き込み共通ノードWCOM0と複数のデータ線Djとの間に配置された複数個（ここでは4個）のスイッチSWとで構成される。前者のスイッチSRBは、同図では省略されているカラムデコードアドレスDYMに応じて、選択するデータ線Dと接地電位VSSとの接続を遮断し、後者のスイッチSWは、選択するデータ線Dと書き込み共通ノードWCOM0とを接続する。

【0066】マルチブレクサMUXU21、MUXL21はメモリセルアレイMCA11の両端にそれぞれ配置され、互いに対をなして動作する。一方のマルチブレクサMUXU21は、共通データ線DS1と複数のデータ線Dj (j=4, …, 7)との間に配置された複数個（ここでは4個）のスイッチSRWで構成され、同図では省略されているカラムデコードアドレスDYMに応じて、選択するデータ線Dと共通データ線DS1とを接続する。他方のマルチブレクサMUXL21は、接地電位VSSと複数のデータ線Djとの間に配置された複数個（ここでは4個）のスイッチSRBと、書き込み共通ノードWCOM1と複数のデータ線Djとの間に配置された複数個（ここでは4個）のスイッチSWとで構成される。前者のスイッチSRBは、同図では省略されているカラムデコードアドレスDYMに応じて、選択するデータ線Dと接地電位VSSとの接続を遮断し、後者のスイッチSWは、選択するデータ線Dと書き込み共通ノードWCOM1とを接続する。スイッチSRW、SRB、SWは、同図では模式的に記号で示されているが、実際には例えばNMOSトランジスタで構成され、ソース-ドレイン間の電流経路の有無によって結線状態が制御される。

【0067】書き込み回路WCU10、WCL10は、図6に示した書き込み回路WCU1、WCL1と同じ回路構成であり、マルチブレクサMUXU20、MUXL20のさらに外側にそれぞれ配置され、これらは互いに対をなして動作する。書き込み回路WCU10は、入力されたカラム選択信号WYS、書き込みデータ線WIB0に応じて共通データ線DS0を駆動し、書き込み回路WCL10は、入力されたカラム選択信号WYS、書き込みデータ線WIT0に応じて書き込み共通ノードWCOM0を駆動する。

【0068】同様に書き込み回路WCU11、WCL11は、図6に示した書き込み回路WCU1、WCL1と同じ回路構成であり、マルチブレクサMUXU21、MUXL21のさらに外側にそれぞれ配置され、これらは互いに対をなして動作する。書き込み回路WCU11は、入力されたカラム選択信号WYS、書き込みデータ線WIB1に応じて共通データ線DS1を駆動し、書き込み回路WCL11は、入力されたカラム選択信号W

YS、書き込みデータ線WIT1に応じて書き込み共通ノードWCOM1を駆動する。

【0069】読み出し回路RDC2は、共通データ線DS0、D S1、RSに出力された読み出し信号を判別および增幅して、読み出したデータに応じた電位に読み出しデータ線ROTO、ROBO、ROT1、ROB1のそれぞれを駆動する。

【0070】以上のような回路ブロック構成により、メモリセルアレイMCA10とMCA11におけるデータ線Dを同時に一本ずつ選択することにより、2ビットの記憶情報を読み出したり、書き込んだりする。以下では、読み出し回路の回路構成について述べ、本実施例による参照信号の発生方法と読み出し動作について説明する。

【0071】図15は、読み出し回路RDC2の回路構成を示しており、二組のカラム選択回路YSW10、YSW11、プリチャージ回路PCEQ0、PCEQ1、センスアンプSA0、SA1、カレントミラー回路CM10、CM11と、カレントミラー回路CM D2、バイアス回路BC2で構成される。また、図1に示したアレイ制御バスABSの要素成分の中で、プリチャージイネーブル信号EQ、センスアンプ起動信号SDP、読み出

し制御信号REBがそれぞれ入力され、さらにカラム選択信号RYSが入力される。カラム選択回路YSW10、YSW11、プリチャージ回路PCEQ0、PCEQ1、センスアンプSA0、SA1、カレントミラー回路CM10、CM11は、図5に示したカラム選択回路YSW1、プリチャージ回路PCEQ、センスアンプSA、カレントミラー回路CMとそれと同じ回路構成である。カレントミラー回路CMD2とバイアス回路BC2の回路構成について以下に説明する。

【0072】カレントミラー回路CMD2は、図5に示したカレントミラー回路CMD1の回路構成にPMOSトランジスタ

30 P57、P58を追加したものである。トランジスタP53のドレインをセンステータ線DB0、トランジスタP57のドレインをセンステータ線DB1にそれぞれ接続する。また、トランジスタP51、P52、P53およびP57のゲートと、トランジスタP51およびP52のドレインを、内部共通データ線NR Sに接続する。トランジスタP58は、ソースに電源電圧VD D、ゲートに読み出し制御信号REBがそれぞれ入力された電源制御用スイッチであり、トランジスタP57と直列接続する。ここで、トランジスタP57のゲートをトランジスタP51、P52、P53と同じ寸法に形成し、さらにトランジ

40 ジスタP58のゲートをトランジスタP54、P55、P56と同じ寸法に形成して、トランジスタP51、P52、P53、P57のソース-ドレイン間に流れる電流値を等しくする。したがって、トランジスタP51およびP52に流れる合計電流の半分の値の電流をP53とP57のソース-ドレイン間に流すことにより、ミラー比2対1の2出力カレントミラー回路を形成している。

【0073】バイアス回路BC2は、図5に示したバイアス回路BC1にNMOSトランジスタN611を追加した構成であり、トランジスタN610は、図5におけるトランジスタN6 1に対応している。トランジスタN610のソースとドレイ

ンに共通データ線DS0と内部共通データ線NDS0をそれぞれ接続し、トランジスタN611のソースとドレインに共通データ線DS1と内部共通データ線NDS1をそれぞれ接続する。また、トランジスタN610、N611のゲートにバイアス電圧VB1をそれぞれ印加する。ここで、トランジスタN62のゲート長をトランジスタN610およびN611と同じ長さとし、データ幅をトランジスタN610およびN611の二倍に形成することにより、トランジスタN62のオン抵抗をトランジスタN610およびN611の1/2とする。

【0074】以上のような読み出し回路RDC2の回路構成により、メモリセルアレイMCA10、MCA11から共通データ線DS0、DS1に出力された電流を、ミラー比1対1のカレントミラー回路CM10、CM11でそれぞれ受けて、選択した二つのメモリセルMCに流れる電流と同じ値の電流でセンスデータ線DT0、DT1をそれぞれ充電する。これに対して、ダミーセルDCから共通データ線RSに出力された電流を、ミラー比2対1の2出力カレントミラー回路CMD2で受けることにより、記憶情報に応じてメモリセルMCに流れる電流の平均値でセンスデータ線DB0、DB1を充電する。したがって、センスデータ線DT0、DB0およびDT1、DB1に実施例1の(式4)、(式6)に示したような正負の読み出し信号が発生されて、センスアンプSA0、SA1を用いることにより、選択された2ビットの記憶情報を判別および増幅する。さらに、カラム選択回路YSW10、YSW11により、読み出された2ビットの読み出しデータを、読み出しデータ線R0T0、R0B0、R0T1、R0B1に出力する。

【0075】以上で述べたメモリブロックの構成と動作による効果を、以下にまとめる。第一に、二つのメモリセルアレイMCA10、MCA11の間にダミーセルアレイDCA1を配置して、実施例1と比べて読み出し回路RDC2とデータ線Djとの間の遠近端差を低減することにより、読み出し信号量の選択するデータ線の位置依存性を低減することができる。第二に、実施例1と同様に、メモリセルMCと同じ構造で、相補の記憶情報を保持するダミーセルを用いることにより、加工ばらつきによる特性の変化が生じた場合にも、メモリセルの平均電流を精度良く発生することができるので、正確に記憶情報を読み出すことが出来る。

【0076】これまで、8×4ビット構成のメモリセルアレイMCA10、MCA11と8×1ビット構成のダミーセルアレイDCA1を例に説明してきた。しかし、アレイ構成は、これに限定されない。例えば、実施例1で述べた例と同様に、一組のワード線対および一本のデータ線毎に数百ビットのメモリセルをそれぞれ配置したメモリセルアレイ構成とすることにより、チップ全体に対するメモリセルアレイの占有率を高めることができる。その際、本実施例の構成を用いることにより、読み出し信号量のデータ線位置依存性を低減することができるため、好適である。

【0077】以上に説明した効果は、図14に示したメ

モリブロックにおける各回路ブロックの構成を変形しても実現できる。その一例として、ここでは図15に示したカレントミラー回路CMD2の変形例を説明する。図16は、ミラー比2対1の2出力カレントミラー回路の別の構成例を示している。図15に示したカレントミラー回路CMD2は、8つのトランジスタで構成されていたが、図16の例は、図10に示したカレントミラー回路に、PMOSトランジスタP235、P236を追加した6つのトランジスタで構成される。トランジスタP232のドレインをセンスデータ線DB0、トランジスタP235のドレインをセンスデータ線DB1にそれぞれ接続する。また、トランジスタP231、P232およびP235のゲートと、トランジスタP232のドレインを内部共通データ線NRSにそれぞれ接続する。トランジスタP236は、ソースに電源電圧VDD、ゲートに読み出し制御信号REBがそれぞれ入力された電源制御用スイッチであり、トランジスタP235に直列接続する。ここで、トランジスタP231のゲート長をトランジスタP232およびP235と同じ長さとし、トランジスタP231のゲート幅をトランジスタP232およびP235の二倍に形成する。また、トランジスタP233のゲート長をトランジスタP234およびP236と同じ長さとし、トランジスタP233のゲート幅をトランジスタP234およびP236の二倍に形成することにより、トランジスタP231に流れる電流の半分の値の電流をトランジスタP232およびP235のソース-ドレイン間に流すような、ミラー比2対1の2出力カレントミラー回路を形成することができる。このように、図15中のカレントミラー回路CMD2で並列接続している同寸法の2個のトランジスタP51とP52あるいはP53とP54を、それぞれ1個のトランジスタP231あるいはP233で置き換えることも可能である。それにより、トランジスタの分離領域が不要になり、レイアウト面積を縮小できる。

<実施例3>本実施例では、メモリブロックのさらに別の構成例と動作を説明する。図17は、メモリブロックの要部ブロック図を示しており、読み出し回路RDC3、書き込み回路WCU10、WCL10、WCU11、WCL11、マルチブレクサMUXU20、MUXL20、MUXU21、MUXL21、MUXUDO、MUXLD0、MUXUD1、MUXLD1、メモリセルアレイMCA10、MCA11、ダミーセルアレイDCA10、DCA11で構成される。図14と同様に図17でも、図1に示したようなワードドライバアレイWDA、カラムデコードアドレスDYM、ロウデコードアドレスDXB、アレイ制御バスABSが簡単のため省略されている。本実施例の特徴は、二つのメモリセルアレイMCA10、MCA11の間にダミーセルアレイDCA10、DCA11を配置し、メモリセルアレイMCA10とダミーセルアレイDCA10に対応するマルチブレクサMUXU20とMUXUD0の片側の端子を共通データ線DLに接続し、メモリセルアレイMCA11とダミーセルアレイDCA11に対応するマルチブレクサMUXU21とMUXUD1の片側の端子を共通データ線DRに接続することにより、共通データ線DLおよびDRに接続されるスイッチSRWの数を揃えることにある。以下では、図14と異な

る点に注目しながら図17に示した回路ブロックについて説明する。

【0078】ダミーセルアレイDCA10、DCA11は、図14に示したDCA1と同様にメモリセルアレイMCA10、MCA11の構成に応じて8×1ビットのダミーセルDCを有する。一方のダミーセルアレイDCA10において、ワード線対WR_k、WW_k (k=0, …, 7) とダミーデータ線D100、D101との交点にそれぞれダミーセルDCを配置する。他方のダミーセルアレイDCA11において、ワード線対WR_k、WW_k (k=0, …, 7) とダミーデータ線D110、D111との交点にそれぞれダミーセルDCを配置する。

【0079】マルチブレクサMUXUD0、MUXLD0は、ダミーセルアレイDCA10の両端にそれぞれ配置され、互いに対をなして動作する。一方のマルチブレクサMUXUD0は、共通データ線DLとダミーデータ線D100、D101との間に配置された2個のスイッチSRWで構成し、同図では省略されているカラムデコードアドレスDYMに応じて、ダミーデータ線D100、D101と共通データ線DLを接続する。したがって、共通データ線DLに接続されるスイッチSRWの数は、マルチブレクサMUXU20の4個と合わせて6個となる。他方のマルチブレクサMUXLD0は、接地電位VSSとダミーデータ線D100、D101との間に配置された2個のスイッチSRBと、接地電位VSSとダミーデータ線D100および電源電圧VDDとダミーデータ線D101との間に配置された2個のスイッチSWとで構成する。前者のスイッチSRBは、同図では省略されているカラムデコードアドレスDYMに応じて、ダミーデータ線D100、D101と接地電位VSSとの接続を遮断する。後者のスイッチSWは、同図では省略されているカラムデコードアドレスDYMに応じて、ダミーデータ線D100と接地電位VSS、ダミーデータ線D101と電源電圧VDDをそれぞれ接続する。このような構成のマルチブレクサMUXUD0、MUXLD0により、図1に示したマルチブレクサMUXUD、MUXLDと同様にダミーデータ線D100とD101に互いに反対向きの電流を発生することができ、ダミーセルアレイDCA10を初期化することができる。

【0080】マルチブレクサMUXUD1、MUXLD1は、ダミーセルアレイDCA11の両端にそれぞれ配置され、互いに対をなして動作する。一方のマルチブレクサMUXUD1は、共通データ線DRとダミーデータ線D110、D111との間に配置された2個のスイッチSRWで構成し、同図では省略されているカラムデコードアドレスDYMに応じて、ダミーデータ線D110、D111と共通データ線DRを接続する。したがって、共通データ線DRに接続されるスイッチSRWの数は、マルチブレクサMUXU21の4個と合わせて6個となる。他方のマルチブレクサMUXLD1は、接地電位VSSとダミーデータ線D110、D111との間に配置された2個のスイッチSRBと、接地電位VSSとダミーデータ線D110および電源電圧VDDとダミーデータ線D111との間に配置された2個のスイッチSWとで構成する。前者のスイッチSRBは、同図では省略されているカラムデコードアドレスDYMに

応じて、ダミーデータ線D110、D111と接地電位VSSとの接続を遮断する。後者のスイッチSWは、同図では省略されているカラムデコードアドレスDYMに応じて、ダミーデータ線D110と接地電位VSS、ダミーデータ線D111と電源電圧VDDをそれぞれ接続する。このような構成のマルチブレクサMUXUD1、MUXLD1により、図1に示したマルチブレクサMUXUD、MUXLDと同様にダミーデータ線D110とD111に互いに反対向きの電流を発生することができ、ダミーセルアレイDCA11を初期化することができる。スイッチSRW、SRB、SWは、同図では模式的に記号で示されているが、実際には例えばNMOSトランジスタで構成され、ソース-ドレイン間の電流経路の有無によって結線状態が制御される。

【0081】書き込み回路WCU10は、入力されたカラム選択信号WYSL、書き込みデータ線WIBに応じて共通データ線DLを駆動し、書き込み回路WCL10は、入力されたカラム選択信号WYSL、書き込みデータ線WITに応じて書き込み共通ノードWCOM0を駆動する。書き込み回路WCU11は、入力されたカラム選択信号WYSR、書き込みデータ線WIBに応じて共通データ線DRを駆動し、書き込み回路WCL11は、入力されたカラム選択信号WYSR、書き込みデータ線WITに応じて書き込み共通ノードWCOM1を駆動する。ここで、カラム選択信号WYSL、WYSRは、記憶情報を書き込むメモリセルMCの位置に応じて、どちらか一方が活性化される。

【0082】読み出し回路RDC3は、共通データ線DLおよび共通データ線DRに平行に配置された共通データ線DLAと、共通データ線DRおよび共通データ線DRに平行に配置された共通データ線DRAに生じた読み出し信号を判別、30 増幅して、読み出したデータを読み出しデータ線ROT、ROBに出力する。

【0083】次に、本メモリブロックの動作を説明する。まず、メモリセルアレイMCA10上のメモリセルMCを読み出す場合、マルチブレクサMUXU20およびMUXL20を活性化して、選択するデータ線Dと共通データ線DLを接続することにより、メモリセルMCに流れる電流を共通データ線DLに出力する。同時に、マルチブレクサMUXUD1およびMUXLD1を活性化し、ダミーセルアレイDCA11上のダミーセルDCを選択して、ダミーデータ線D110、D111と共通データ線DRを接続することにより、ダミーセルDCに流れる電流を共通データ線DRに出力する。次に、メモリセルアレイMCA10上のメモリセルMCにデータを書き込む場合、選択するデータ線Dと共通データ線DLおよび書き込み共通ノードWCOM0を接続し、書き込み制御信号WYSLを用いて書き込み回路WCU10、WCL10を活性化することにより、選択するデータ線Dに記憶情報に応じた向きの電流を発生する。

【0084】これに対して、メモリセルアレイMCA11上のメモリセルMCを読み出す場合、マルチブレクサMUXU21およびMUXL21を活性化して、選択するデータ線Dと共通

データ線DRを接続することにより、メモリセルMCに流れる電流を共通データ線DRに出力する。同時に、マルチブレクサMUXUDOおよびMUXLDOを活性化し、ダミーセルアレイDCA10上のダミーセルDCを選択して、ダミーデータ線D100、D101と共にデータ線DLを接続することにより、ダミーセルDCに流れる電流を共通データ線DLに出力する。また、メモリセルアレイMCA11上のメモリセルMCにデータを書き込む場合、選択するデータ線Dと共にデータ線DRおよび書き込み共通ノードWCOM1を接続し、書き込み制御信号WYSRを用いて書き込み回路WCU11、WCL11を活性化することにより、選択するデータ線Dに記憶情報に応じた向きの電流を発生する。

【0085】以上のような回路ブロック構成により、共通データ線DL、DRに接続されるスイッチSRWの数をそれぞれ同数（ここでは6個）にすることができる。また、共通データ線DL、DRの各々は、4本のデータ線と、2本のダミーデータ線に直交するように配線されるので、この部分の配線長を等しくできる。したがって、共通データ線DL、DRの負荷容量および抵抗の平衡化が実現できて、実施例2よりも安定した読み出し動作が可能になる。以下では、読み出し回路の構成と動作、参照信号の発生方法について説明する。

【0086】図18は、読み出し回路RDC3の回路構成を示しており、カラム選択回路YSW2、プリチャージ回路PC EQ、センスアンプSA、カレントミラーレース回路CM20、CM21、バイアス回路BC3で構成される。図1に示したアレイ制御バスABSの中で、プリチャージイネーブル信号EQ、センスアンプ起動信号SDP、読み出し制御信号REBがそれぞれ入力され、さらにカラム選択信号RYS1、RYSRがそれぞれ入力される。また、ダミーイネーブル信号DEB0、DEB1は、図では省略されている制御回路によって、入力された外部アドレスに応じて発生される信号であり、カレントミラーレース回路CM20、CM21にそれぞれ入力される。以下では、はじめにカレントミラーレース回路CM20、CM21、バイアス回路BC3の構成と動作について説明し、次にカラム選択回路YSW2について説明する。

【0087】カレントミラーレース回路CM20、CM21は共に同じ構成であり、PMOSトランジスタP301、P302、P303、P304、P305、P306で構成する。また、トランジスタP301、P302、P303をそれぞれ同じゲート寸法に形成し、トランジスタP304、P305、P306もそれぞれ同じ寸法に形成する。一方のカレントミラーレース回路CM20において、トランジスタP301、P302、P303のゲートとトランジスタP301のドレインを内部共通データ線NDLに接続し、トランジスタP302のドレインを内部共通データ線NDLA、トランジスタP303のドレインをセンスデータ線SDLにそれぞれ接続する。トランジスタP304、P305、P306は、ソースに電源電圧VDDが入力された電源制御用トランジスタであり、トランジスタP301、P302、P303にそれぞれ直列接続する。また、トランジスタP304、P306のゲートに読み出し制御

信号REB、トランジスタP305のゲートにダミーイネーブル信号DEB0をそれぞれ入力する。他方のカレントミラーレース回路CM21において、トランジスタP301、P302、P303のゲートとトランジスタP301のドレインを内部共通データ線NDRに接続し、トランジスタP302のドレインを内部共通データ線NDRA、トランジスタP303のドレインをセンスデータ線SDRにそれぞれ接続する。また、トランジスタP305のゲートにダミーイネーブル信号DEB1を入力する。

【0088】バイアス回路BC3は、NMOSトランジスタN321 10、N322、N323、N324で構成される。トランジスタN321のソース、ドレインを、共通データ線DL、内部共通データ線NDLにそれぞれ接続し、トランジスタN322のソース、ドレインを、共通データ線DLA、内部共通データ線NDLAにそれぞれ接続する。また、トランジスタN323のソース、ドレインを、共通データ線DR、内部共通データ線NDRにそれぞれ接続し、トランジスタN324のソース、ドレインを、共通データ線DRA、内部共通データ線NDRAにそれぞれ接続する。さらに、トランジスタP321、P322、P323、P324のゲートにバイアス電圧VB1を入力する。こ 20 こで、トランジスタN321、N322、N323、N324をそれぞれ同じゲート寸法に形成し、共通データ線DL、DLA、DR、DRAと内部共通データ線NDL、NDLA、NDR、NDRAをそれぞれ同じ配線幅と長さに形成することにより、共通データ線DLおよびNDLAと、共通データ線DRおよびDRAからカレントミラーレース回路CM20とCM21を見た時のインピーダンスを等しくしている。

【0089】このような構成のカレントミラーレース回路CM20、CM21の動作について、以下に説明する。一例としてカレントミラーレース回路CM20において、ダミーイネーブル信号DEB0を電源電圧VDDに保持し、電源電圧VDDとなっている読み出し制御信号REBを接地電位VSSに駆動して、トランジスタP301、P303に電源電圧VDDを供給することにより、ミラーレース比1対1のカレントミラーレース回路を形成する。これに対して、電源電圧VDDとなっているダミーイネーブル信号DEB0および読み出し制御信号REBを接地電位VSSに駆動して、トランジスタP301、P302、P303に電源電圧VDDを供給することにより、ミラーレース比2対1のカレントミラーレース回路を形成する。カレントミラーレース回路CM21においても、ダミーイネーブル信号DEB1を制御することにより同様な動作が可能である。したがって、以上の構成と動作により、ダミーイネーブル信号DEB0、DEB1に応じて、カレントミラーレース回路CM20、CM21のミラーレース比を1対1または2対1に制御することができる。

【0090】次に、カラム選択回路YSW2について説明する。カラム選択回路YSW2は、NMOSトランジスタN331、N332、N333、N334で構成される。トランジスタN331、N332のゲートにカラム選択信号RYS1、トランジスタN333、N334のゲートにカラム選択信号RYSRをそれぞれ入力する。また、トランジスタN331のドレインを読み出しデータ線ROT、ソースをセンスデータ線SDLにそれぞれ接続し、ト 50

ランジスタN332のドレインを読み出しデータ線ROB、ソースをセンスデータ線SDRにそれぞれ接続する。また、トランジスタN333のドレインを読み出しデータ線ROB、ソースをセンスデータ線SDLにそれぞれ接続し、トランジスタN334のドレインを読み出しデータ線ROT、ソースをセンスデータ線SDRにそれぞれ接続する。したがって、カラム選択信号RYSRを接地電位VSSに保持し、接地電位VSSとなっているカラム選択信号RYSLを昇圧電位VDHに駆動してトランジスタN331、N332を導通させることにより、センスデータ線SDL、SDRを読み出しデータ線ROT、ROBに接続することができる。また、カラム選択信号RYSLを接地電位VSSに保持し、接地電位VSSとなっているカラム選択信号RYSRを昇圧電位VDHに駆動してトランジスタN333、N334を導通させることにより、センスデータ線SDL、SDRを読み出しデータ線ROB、ROTに接続することができる。

【0091】ここで、本実施例では、メモリセルアレイMCA10上のメモリセルMCを読み出す場合、選択したメモリセルMCに流れる電流と同じ値の電流でセンスデータ線SDLを充電し、反対にメモリセルアレイMCA10上のメモリセルMCを読み出す場合、選択したメモリセルMCに流れる電流と同じ値の電流でセンスデータ線SDRを充電する。したがって、読み出したメモリセルMCの位置によって、読み出しデータ線ROT、ROBに対するセンスデータ線SDL、SDRの極性が異なる。しかし、前述したような構成のカラム選択回路YSW2を用いて、センスデータ線SDL、SDRをこれらの極性に応じて読み出しデータ線ROTおよびROBと接続することにより、センスデータ線SDL、SDRと読み出しデータ線ROT、ROBとの極性を一致することができて、読み出したデータを正確に出力することができる。

【0092】このような構成の読み出し回路RCD3における全体動作と、参照信号の発生方法について説明する。ここでは一例として、図17に示したメモリセルアレイMCA10におけるメモリセルMCを選択する場合について説明する。まず、選択するメモリセルアレイMCA10に応じて、ダミイネーブル信号DEB0を電源電位VDDに保持することにより、ミラー比1対1のカレントミラーハイウェイ20を形成する。また、電源電圧VDDとなっているダミイネーブル信号DEB1および読み出し制御信号REBを接地電位VSSにそれぞれ駆動することにより、ミラー比2対1のカレントミラーハイウェイ21を形成する。したがって、一方のセンスデータ線SDLは、共通データ線DLに出力されたメモリセルMCに流れる電流と同じ値の電流で充電される。他方のセンスデータ線SDRは、共通データ線DRおよびDRAに出力されたダミーセルDCに流れる電流の半分の値の電流で充電される。以上の動作により、実施例1の(式4) (式6)で示したような正負の読み出し信号が発生されて、センスアンプSAを用いることにより記憶情報を判別、増幅することができる。さらに、接地電位VSSとなっているカラム選択信号RYSLを昇圧電位VDHに駆

動して、トランジスタN331、N332を導通することにより、センスデータ線SDLを読み出しデータ線ROT、センスデータ線SDRを読み出しデータ線ROBにそれぞれ接続して、読み出したデータを出力する。

【0093】以下に、本実施例の効果をまとめる。共通データ線DLおよびDRに接続されるスイッチSRWの数を揃えたことにより、ワード線対に平行に形成された部分の共通データ線DL、DRの負荷容量および抵抗の平衡化が実現でき、実施例2よりも安定した読み出し動作が可能になる。ここで、図18に示したようなカレントミラーハイウェイCM20、CM21を用いて、選択するメモリセルMCの位置に応じてミラーハイウェイ比を制御することにより、センスデータ線SDL、SDRに所望の読み出し信号と参照信号を発生することができる。また、図18に示したようなカラム選択回路YSW2を用いて、センスデータ線SDL、SDRをこれらの極性に応じて読み出しデータ線ROTおよびROBと接続することにより、センスデータ線SDL、SDRと読み出しデータ線ROT、ROBとの極性を一致することができて、読み出したデータを正確に出力することができる。

【0094】これまで、8×4ビット構成のメモリセルアレイMCA10、MCA11と8×1ビット構成のダミーセルアレイDCA10、DCA11を例に説明してきた。しかし、アレイ構成は、これに限定されない。例えば、実施例1および実施例2で述べた例と同様に実施例3でも、一組のワード線対および一本のデータ線毎に数百ビットのメモリセルをそれぞれ配置したメモリセルアレイ構成とすることにより、チップ全体に対するメモリセルアレイの占有率を高めることができる。

＜実施例4＞本実施例では、メモリブロックのさらに別の構成例と動作を説明する。図19は、メモリブロックの要部ブロック図を示しており、読み出し回路RDC40、RDC41、書き込み回路WCU20、WCU21、WCL10、WCL11、マルチブレクサMUXU20、MUXL20、MUXU21、MUXL21、MUXUDO、MUXLD0、MUXUD1、MUXLD1、メモリセルアレイMCA10、MCA11、ダミーセルアレイDCA10、DCA11、共通データ線制御回路DSWで構成されている。図14及び図17と同様に図19でも、図1に示したようなワードドライバアレイWDA、カラムデコードアドレスDYM、ロウデコードアドレスDXB、アレイ制御バスABSが簡単のために省略されている。本実施例の特徴は、第一に、四本の共通データ線DL、DLO、DRE、DROを形成し、マルチブレクサMUXU20、MUXU21、MUXUDO、MUXUD1におけるスイッチSRWを、それぞれの共通データ線に規則的に接続することにより、それぞれの共通データ線に接続されるスイッチSRWの数を揃えることにある。第二に、読み出し動作において、共通データ線制御回路DSWを用いて、活性化するダミーセルDCの位置に応じて共通データ線を接続することにある。以下では、図17と異なる点について説明する。

【0095】はじめに、共通データ線DLE、DLO、DRE、DROの各々を、ワード線対に平行に、互いに同じ配線長お

より配線幅になるように形成する。まず、マルチブレクサMUXU20において偶数番目のデータ線D（ここではデータ線D0、D2）に接続されたスイッチSRWと、マルチブレクサMUXUDOにおいてダミーデータ線D100に接続されたスイッチSRWを、共通データ線DLEに接続する。次に、マルチブレクサMUXU20において奇数番目のデータ線D（ここではデータ線D1、D3）に接続されたスイッチSRWと、マルチブレクサMUXUDOにおいてダミーデータ線D101に接続されたスイッチSRWを、共通データ線DLOに接続する。また、マルチブレクサMUXU21において偶数番目のデータ線D（ここではデータ線D4、D6）に接続されたスイッチSRWと、マルチブレクサMUXUD1においてダミーデータ線D110に接続されたスイッチSRWを、共通データ線DREに接続する。さらに、マルチブレクサMUXU21において奇数番目のデータ線D（ここではデータ線D5、D7）に接続されたスイッチSRWと、マルチブレクサMUXUD1においてダミーデータ線D111に接続されたスイッチSRWを、共通データ線DR0に接続する。以上の構成により、共通データ線一本あたりのスイッチSRWの数と同じ数（ここでは3個）にしている。

【0096】共通データ線制御回路DSWは、二つのスイッチSE、SOで構成される。一方のスイッチSEを共通データ線DLEとDREとの間に配置し、他方のスイッチSOを共通データ線DLOとDR0との間に配置する。ダミーセルアレイDCA10を活性化する場合、スイッチSEをオン状態として、共通データ線DLE、DREを接続することにより、ダミーセルDCを構成する二つのメモリセルMCLとMCHを並列接続する。また、ダミーセルアレイDCA11を活性化する場合、スイッチSOをオン状態として、共通データ線DLO、DR0を接続することにより、ダミーセルDCを構成する二つのメモリセルMCLとMCHを並列接続する。

【0097】読み出し回路RDC40は、メモリセルアレイMCA10上のメモリセルMCを選択することにより、共通データ線DLEおよびDLOに生じる読み出し信号を検出、増幅する。さらに、読み出したデータをカラム選択信号RYSE、RYS0に応じて読み出しデータ線ROT0およびROB0に出力する。これに対して、読み出し回路RDC41は、メモリセルアレイMCA11上のメモリセルMCを選択することにより、共通データ線DREおよびDR0に生じる読み出し信号を検出、増幅する。さらに、読み出したデータをカラム選択信号RYSE、RYS0に応じて読み出しデータ線ROT1およびROB1に出力する。

【0098】書き込み回路WC20は、入力された読み出し制御信号REB、カラム選択信号WYS、書き込みデータ線WIB0に応じて共通データ線DLEおよびDLOを駆動し、書き込み回路WCL10は、入力されたカラム選択信号WYS、書き込みデータ線WIT0に応じて書き込み共通ノードWCOM0を駆動する。書き込み回路WC21は、入力された読み出し制御信号REB、カラム選択信号WYS、書き込みデータ線WIB1に応じて共通データ線DREおよびDR0を駆動し、書き込

み回路WCL11は、入力されたカラム選択信号WYS、書き込みデータ線WIT1に応じて書き込み共通ノードWCOM1を駆動する。

【0099】次に、本メモリブロックの全体動作について説明する。まず、読み出し動作の第一の例として、メモリセルアレイMCA10、MCA11における偶数番目のデータ線上のメモリセルMCを読み出す場合について説明する。はじめに、共通データ線制御回路DSWにおけるスイッチS0をオン状態として、共通データ線DLOとDR0を接続す

10 10。次に、メモリセルアレイMCA10、MCA11における偶数番目のデータ線上のメモリセルMCをそれぞれ選択し、共通データ線DLE、DREを介して、読み出し回路RDC40、RDC41に記憶情報に応じた電流をそれぞれ出力する。同時に、ダミーセルアレイDCA11におけるダミーセルDCを活性化し、短絡された共通データ線DLO、DR0を介して、読み出し回路RDC40、RDC41にダミーセルDCに流れる電流をそれぞれ出力する。

【0100】次に、読み出し動作の第二の例として、メモリセルアレイMCA10、MCA11における奇数番目のデータ

20 線上のメモリセルMCを読み出す場合について述べる。はじめに、共通データ線制御回路DSWにおけるスイッチSEをオン状態として、共通データ線DLEとDREを接続する。次に、メモリセルアレイMCA10、MCA11における奇数番目のデータ線上のメモリセルMCをそれぞれ選択し、共通データ線DLO、DR0を介して、読み出し回路RDC40、RDC41に記憶情報に応じた電流をそれぞれ出力する。同時に、ダミーセルアレイDCA10におけるダミーセルDCを活性化し、短絡された共通データ線DLE、DREを介して、読み出し回路RDC40、RDC41にダミーセルDCに流れる電流をそれぞれ出力する。

【0101】また、書き込み動作の第一の例として、メモリセルアレイMCA10、MCA11における偶数番目のデータ線上のメモリセルMCへ書き込む場合について説明する。この場合、メモリセルアレイMCA10における偶数番目のデータ線を、共通データ線DLEおよび書き込み共通ノードWCOM0に接続して、書き込み回路WC20およびWCL10により、記憶情報に応じた向きの電流を発生する。同時に、メモリセルアレイMCA11における偶数番目のデータ線を、共通データ線DREおよび書き込み共通ノードWCOM1に接続して、書き込み回路WC21およびWCL11により、記憶情報に応じた向きの電流を発生する。

【0102】さらに、書き込み動作の第二の例として、メモリセルアレイMCA10、MCA11における奇数番目のデータ線上のメモリセルMCへ書き込む場合について述べる。この場合、メモリセルアレイMCA10における奇数番目のデータ線を、共通データ線DLOおよび書き込み共通ノードWCOM0に接続して、書き込み回路WC20およびWCL10により、記憶情報に応じた向きの電流を発生する。同時に、メモリセルアレイMCA11における奇数番目のデータ線を、共通データ線DR0および書き込み共通ノードWCOM1

に接続して、書き込み回路WCU21およびWCL11により、記憶情報に応じた向きの電流を発生する。

【0103】最後に、ダミーセルアレイDCA10、DCA11の初期化動作は以下のように行う。一方のダミーセルアレイDCA10を初期化する場合、共通データ線制御回路DSWにおけるスイッチSEをオン状態として共通データ線DLEとDREを短絡し、マルチプレクサMUXUDO、MUXLD0を活性化することにより、図1に示したマルチプレクサMUXUD、MUXLDと同様に、ダミーデータ線D100とD101に互いに逆向きの電流を発生する。他方のダミーセルアレイDCA11を初期化する場合、共通データ線制御回路DSWにおけるスイッチS0をオン状態として共通データ線DL0とDROを短絡し、マルチプレクサMUXUD1、MUXLD1を活性化することにより、図1に示したマルチプレクサMUXUD、MUXLDと同様に、ダミーデータ線D110とD111に互いに逆向きの電流を発生する。

【0104】次に、読み出し回路RDC40、RDC41の構成と動作、参照信号の発生方法について説明する。図20は、二つの読み出し回路RDC40、RDC41の構成例を示しており、それぞれの読み出し回路は、カラム選択回路YSW2、プリチャージ回路PCEQ、センスアンプSA、カレントミラーレース回路CM10、CM11、バイアス回路BC4でそれぞれ構成される。入力されるプリチャージイネーブル信号EQ、センスアンプ起動信号SDP、読み出し制御信号REBのそれぞれは、アレイ制御バスABSの中の信号である。本実施例による読み出し回路RDC40、RDC41の特徴は、第一に、カレントミラーレース回路CM10、CM11を、図1に示したミラーレース比1対1のカレントミラーレース回路CMと同じ構成とすることである。第二に、バイアス回路BC4を、それぞれ同じゲート寸法のNMOSトランジスタN101、N102で構成することにある。

【0105】まず、読み出し回路RDC40について説明する。一方のカレントミラーレース回路CM10の入力端子を内部共通データ線NDLE、出力端子をセンスデータ線SDLEにそれぞれ接続する。他方のカレントミラーレース回路CM11の入力端子を内部共通データ線NDL0、出力端子をセンスデータ線SDL0にそれぞれ接続する。また、バイアス回路BC4において、トランジスタN101のソースとドレインを、共通データ線DLEと内部共通データ線NDLEにそれぞれ接続し、トランジスタN102のソースとドレインを、共通データ線DL0と内部共通データ線NDL0にそれぞれ接続する。さらに、共通データ線DLEおよびDL0と、内部共通データ線NDLEおよびNDL0を同じ配線幅かつ配線長になるように形成する。このような構成とすることで、共通データ線DLE、DL0からカレントミラーレース回路CM10、CM11を見た時のインピーダンスをそれぞれ等しくなるようにすることができる。

【0106】カラム選択回路YSW2は、入力されたカラム選択信号RYSR、RYS0によって、センスデータ線SDLE、SDL0を読み出しデータ線ROT0およびROB0のどちらかに接続

する。本実施例では、図19に示したメモリセルアレイMCA10における偶数番目のデータ線上のメモリセルMCを読み出す場合に、センスデータ線SDLEが正の極性となり、奇数番目のデータ線上のメモリセルMCを読み出す場合に、センスデータ線SDL0が正の極性となる。そこで、カラム選択回路YSW2を用いて、センスデータ線SDLE、SDL0をこれらの極性に応じて読み出しデータ線ROT0、ROB0に接続する。

【0107】次に、読み出し回路RDC41について説明する。一方のカレントミラーレース回路CM10の入力端子を内部共通データ線NDRE、出力端子をセンスデータ線SDREにそれぞれ接続する。他方のカレントミラーレース回路CM11の入力端子を内部共通データ線NDR0、出力端子をセンスデータ線SDR0にそれぞれ接続する。また、バイアス回路BC4において、トランジスタN101のソースとドレインを、共通データ線DREと内部共通データ線NDREにそれぞれ接続し、トランジスタN102のソースとドレインを、共通データ線DROと内部共通データ線NDR0にそれぞれ接続する。さらに、共通データ線DREおよびDROと、内部共通データ線NDREおよびNDR0を同じ配線幅かつ配線長になるように形成する。このような構成とすることで、共通データ線DRE、DROからカレントミラーレース回路CM10、CM11を見た時のインピーダンスをそれぞれ等しくすることができる。

【0108】カラム選択回路YSW2は、入力されたカラム選択信号RYSR、RYS0によって、センスデータ線SDRE、SDR0を読み出しデータ線ROT1およびROB1のどちらかに接続する。本実施例では、図19に示したメモリセルアレイMCA11における偶数番目のデータ線上のメモリセルMCを読み出す場合に、センスデータ線SDREが正の極性となり、奇数番目のデータ線上のメモリセルMCを読み出す場合に、センスデータ線SDR0が正の極性となる。そこで、カラム選択回路YSW2を用いて、センスデータ線SDRE、SDR0をこれらの極性に応じて読み出しデータ線ROT1、ROB1に接続する。

【0109】図20には、さらに共通データ線制御回路DSWの構成例が示されている。NMOSトランジスタN411は、図19に示したスイッチSEに対応するものであり、ソース、ドレインを共通データ線DLE、DREにそれぞれ接続し、ゲートに接続制御信号CNEを入力する。また、NMOSトランジスタN412は、図19に示したスイッチS0に対応するものであり、ソース、ドレインを共通データ線DL0、DROにそれぞれ接続し、ゲートに接続制御信号CNOを入力する。ここで、接続制御信号CNE、CNOは、図では省略されている制御回路によって、入力された外部アドレスに応じて発生される信号である。

【0110】以上の構成による、読み出し回路RDC40、RDC41と共に共通データ線制御回路DSWの全体動作と、参照信号の発生方法について説明する。ここでは一例として、図19に示したメモリセルアレイMCA10、MCA11において偶数番目のデータ線上のメモリセルMCをそれぞれ選択す

る場合について説明する。この場合、ダミーセルアレイDCA11上のダミーセルDCが選択される。まず、データ線制御回路において、接地電位VSSとなっている接続制御信号CN0を電源電圧VDDに駆動して、トランジスタN412を導通させることにより、共通データ線DLOとDROを接続し、共通データ線DLO、DROとダミーデータ線D110、D111を短絡する。次に、電源電圧VDDとなっている読み出し制御信号REBを接地電位VSSに駆動して、読み出し回路RD C40におけるミラー比1対1のカレントミラー回路CM10を活性化することにより、メモリセルアレイMCA10上の選択メモリセルMCにおける記憶情報に応じた電流で、センスデータ線SDLEを充電する。同様に、読み出し回路RD C41におけるミラー比1対1のカレントミラー回路CM10を活性化することにより、メモリセルアレイMCA11上の選択メモリセルMCにおける記憶情報に応じた電流で、センスデータ線SDREを充電する。さらにこの時、読み出し回路RDC40、RDC41において、ミラー比1対1のカレントミラー回路CM11がそれぞれ活性化されている。ここで、共通データ線DLO、DROから、対応するカレントミラー回路CM11を見た時のインピーダンスが等しく、共通データ線DLO、DROとダミーデータ線D110、D111が短絡されて同電位となっているので、ダミーセルDCに流れる電流の半分の値の電流が、それぞれのカレントミラー回路CM11に流れる。したがって、センスデータ線SDLO、SDROは、ダミーセルDCに流れる電流の平均電流で充電される。したがって、実施例1の(式4) (式6)で示したような正負の読み出し信号がセンスデータ線SDLEおよびSDLOとSDREおよびSDROに発生されて、センスアンプSAにより、それぞれの記憶情報を判別、增幅する。さらに、接地電位VSSとなっているカラム選択信号RYSEを昇圧電位VDHに駆動して、読み出し回路RDC40、RDC41のカラム選択回路YS W2におけるトランジスタN331、N332をそれぞれ導通させることにより、センスデータ線SDLEを読み出しデータ線ROTO、センスデータ線SDLOを読み出しデータ線ROB0、センスデータ線SDREを読み出しデータ線ROT1、センスデータ線SDROを読み出しデータ線ROB1にそれぞれ接続して、読み出したデータを出力する。

【0111】次に、書き込み回路WCU20、WCU21について説明する。図21は、書き込み回路WCU20、WCU21と共に通データ線制御回路DSWを示しており、共通データ線制御回路DSWは、図20に示した構成と同じである。書き込み回路WCU20、WCU21のそれぞれを、図1に示した書き込み回路WCU1と、NMOSトランジスタN401、N402を用いて構成する。一方の書き込み回路WCU20において、トランジスタN401、N402のソースを書き込み回路WCU1の出力端子、ドレインを共通データ線DLE、DLOにそれぞれ接続する。また、ゲートに読み出し制御信号REBをそれぞれ入力する。他方の書き込み回路WCU21において、トランジスタN401、N402のドレインを共通データ線DRE、DROにそれぞれ接続する。

【0112】このような構成において、読み出し動作の場合、電源電圧VDDとなっている読み出し制御信号REBを接地電位VSSに駆動して、トランジスタN401、N402をオフ状態とすることにより、共通データ線DLE、DLO、DR E、DROを対応する書き込み回路WCU1の出力端子からそれぞれ切り離す。また、待機時や書き込み動作の場合、読み出し制御信号REBを電源電圧VDDに保持し、トランジスタN401、N402を導通させることにより、共通データ線DLE、DLO、DRE、DROをそれぞれ駆動する。

10 【0113】以上のような構成と動作により、読み出し動作において、共通データ線DLE、DLO、DRE、DROから対応する書き込み回路WCU1をそれぞれ切り離し、共通データ線制御回路DSWを用いて、共通データ線DLE、DLO、DR E、DROの接続を制御することができる。

【0114】以下に、本実施例についてまとめる。第一に、同じ配線長かつ配線幅に形成された四本の共通データ線DLE、DLO、DRE、DROをワード線対に平行に配置した。また、メモリセルアレイMCA10、MCA11におけるデータ線とダミーセルアレイDCA10、DCA11におけるデータ線を偶数番目と奇数番目のグループに分けて、対応するマルチプレクサMUXU20、MUXU21、MUXUD0、MUXUD1におけるスイッチSRWを、それぞれの共通データ線に規則的に接続した。このような構成により、それぞれの共通データ線に接続されるスイッチSRWの数を同じ数(ここでは3個)にすることができる。さらに、共通データ線DLE、DLO、DRE、DROに接続されるスイッチSRWの数を実施例3よりも低減することができる。第二に、読み出し動作の場合、各共通データ線に一本のデータ線またはダミーデータ線が接続されるので、活性化されたメモリセルMCおよびダミーセルDCを構成する二つのメモリセルMCL、MCHから対応する共通データ線を見た時のインピーダンスを等しくすることができる。第三に、読み出し回路RDC40、RDC41におけるカレントミラー回路CM10、CM11のミラー比をそれぞれ1対1とし、さらにバイアス回路BC4における二つの電流経路を対象に構成することにより、共通データ線DLE、DLO、DRE、DROから対応するカレントミラー回路を見た時のインピーダンスをそれぞれ等しくすることができる。以上により、読み出し動作における各電流経路の負荷を、実施例3よりもバランスのとれたものとすることができて、安定した読み出し動作を実現することができる。

40 【0115】これまで、8×4ビット構成のメモリセルアレイMCA10、MCA11と8×1ビット構成のダミーセルアレイDCA10、DCA11を例に説明してきた。しかし、アレイ構成は、これに限定されない。例えば、実施例1、実施例2および実施例3で述べた例と同様に実施例4でも、一組のワード線対および一本のデータ線毎に数百ビットのメモリセルをそれぞれ配置したメモリセルアレイ構成とすることにより、チップ全体に対するメモリセルアレイの占有率を高めることができる。

50 【0116】これまで、8×4ビット構成のメモリセルアレイMCA10、MCA11と8×1ビット構成のダミーセルアレイDCA10、DCA11を例に説明してきた。しかし、アレイ構成は、これに限定されない。例えば、実施例1、実施例2および実施例3で述べた例と同様に実施例4でも、一組のワード線対および一本のデータ線毎に数百ビットのメモリセルをそれぞれ配置したメモリセルアレイ構成とすることにより、チップ全体に対するメモリセルアレイの占有率を高めることができる。

＜実施例5＞これまでの実施例では、複数個のワード線対毎にダミーセルDCを配置して、参照信号を発生する構成と動作を述べてきた。このような構成のダミーセルDCに欠陥が生じた場合、欠陥ダミーセルDCが接続されたワード線対上のメモリセルMCを読み出すことが出来ないので、歩留まりが低下する恐れがある。本実施例では、この問題を解決するために、実施例3の図17に示したメモリブロックに救済回路を導入している。

【0116】図22と図23は、本実施例におけるメモリブロックの要部ブロック図を示している。一方の図22において、メモリセルアレイMCA10とダミーセルアレイDCA10との間に、冗長セルアレイRCA10、RDCA10を配置する。また、冗長セルアレイRCA10の両端にマルチブレクサMUXU30、MUXL30、冗長セルアレイRDCA10の両端にマルチブレクサMUXU40、MUXL40をそれぞれ配置する。他方の図23において、メモリセルアレイMCA11とダミーセルアレイDCA11との間に、冗長セルアレイRCA11、RDCA11を配置する。また、冗長セルアレイRCA11の両端にマルチブレクサMUXU31、MUXL31、冗長セルアレイRDCA11の両端にマルチブレクサMUXU41、MUXL41をそれぞれ配置する。このような構成による本実施例の特徴は、第一に、メモリセルアレイMCA10、MCA11上に生じた欠陥メモリセルを、冗長セルアレイRCA10、RCA11上の冗長メモリセルにそれぞれ置換することにある。第二に、ダミーセルアレイDCA10、DCA11上に生じた欠陥メモリセルを、冗長セルアレイRDCA10、RDCA11上の冗長メモリセルにそれぞれ置換することにある。以下では、簡単のために、メモリセルアレイMCA10とダミーセルアレイDCA10に対する救済回路について説明する。

【0117】図24は、図22に示したメモリセルアレイMCA10とダミーセルアレイDCA10、冗長セルアレイRCA10、RDCA10、マルチブレクサMUXU20、MUXL20、MUXU30、MUXL30、MUXU40、MUXL40、MUXUDO、MUXLD0の回路構成例を示している。また、図39は、それぞれのマルチブレクサMUXに入力するカラムアドレス信号YMXを示している。以下では、図24と図39に従い各回路構成について説明する。メモリセルアレイMCA10は、図17と同様に8×4ビット構成であり、8組のワード線対とデータ線Dj (j=0, …, 3)との交点に、メモリセルMCをそれぞれ配置する。また、ダミーセルアレイDCA10は8×1ビット構成であり、8組のワード線対とダミーデータ線D00およびD101との交点にダミーセルDCをそれぞれ配置する。

【0118】これらに対して、冗長セルアレイRCA10を8×2ビットのメモリセルMCで構成し、8組のワード線対と冗長データ線RD00、RD01との交点にこれらのメモリセルMCをそれぞれ配置する。また、冗長セルアレイRDCA10を8×2ビットのメモリセルMCで構成し、8組のワード線対と冗長ダミーデータ線RD100、RD101との交点にこれらのメモリセルMCをそれぞれ配置する。

【0119】マルチブレクサMUXU20は、4個のNMOSトランジスタN11j (j=0, …, 3)で構成される。トランジスタN11jのソースにデータ線Dj (j=0, …, 3)、ドレインに共通データ線DL、ゲートに図39に示すようなカラムアドレス信号YMTj (j=0, …, 3)をそれぞれ接続する。マルチブレクサMUXL20は、4個のNMOSトランジスタN13j (j=0, …, 3)および4個のNMOSトランジスタN14j (j=0, …, 3)で構成される。トランジスタN13jのソースに接地電位VSS、ドレインにデータ線Dj (j=0, …, 3)、ゲートに図39に示すようなカラムアドレス信号YMBj (j=0, …, 3)をそれぞれ接続する。また、トランジスタN14jのソースに書き込み共通ノードWC0M0、ドレインにデータ線Dj (j=0, …, 3)、ゲートに図39に示すようなカラムアドレス信号YMWj (j=0, …, 3)をそれぞれ接続する。

【0120】マルチブレクサMUXUDOは、2個のNMOSトランジスタN120、N121で構成される。トランジスタN120、N121のソースをダミーデータ線D100、D101、ドレインを共通データ線DL、ゲートに図39に示すようなカラムアドレス信号YMDT00、YMDT01をそれぞれ接続する。マルチブレクサMUXLDOは、4個のNMOSトランジスタN150、N151、N190、N191で構成される。NMOSトランジスタN150、N151のソースに接地電位VSS、ドレインにダミーデータ線D100、D101、ゲートに図39に示すようなカラムアドレス信号YMDB00、YMDB01をそれぞれ接続する。また、トランジスタN190のソースに接地電位VSS、ドレインにダミーデータ線D100、ゲートに図39に示すようなカラムアドレス信号YMDW00を接続する。さらに、トランジスタN191のソースに電源電圧VDD、ドレインにダミーデータ線D101、ゲートに図39に示すようなカラムアドレス信号YMDW01を接続する。

【0121】マルチブレクサMUXU30は、2個のNMOSトランジスタN340、N341で構成される。トランジスタN340、N341のソースに冗長データ線RD00、RD01、ドレインに共通データ線DL、ゲートに図39に示すような冗長カラムアドレス信号RYMT00、RYMT01をそれぞれ接続する。マルチブレクサMUXL30は、4個のNMOSトランジスタN350、N351、N360、N361で構成される。トランジスタN350、N351のソースに接地電位VSS、ドレインに冗長データ線RD00、RD01、ゲートに図39に示すような冗長カラムアドレス信号RYMB00、RYMB01をそれぞれ接続する。また、トランジスタN360、N361のソースに書き込み共通ノードWC0M0、ドレインに冗長データ線RD00、RD01、ゲートに図39に示すような冗長カラムアドレス信号RYMW00、RYMW01をそれぞれ接続する。ここで、冗長カラムアドレス信号RYMT00およびRYMT01、RYMB00およびRYMB01、RYMW00およびRYMW01の各々は、カラムアドレス信号YMTj、YMBj、YMWjに対応する信号であり、後で示すような正規アドレス記憶回路に記憶された冗長情報に応じて駆動される。

【0122】マルチブレクサMUXU40は、2個のNMOSト

ンジスタN420、N421で構成される。トランジスタN420、N421のソースに冗長ダミーデータ線RD100、RD101、ドレンに共通データ線DL、ゲートに図39に示すような冗長カラムアドレス信号RYMDT00、RYMDT01をそれぞれ接続する。マルチブレクサMUXL40は、4個のNMOSトランジスタN430、N431、N440、N441で構成される。トランジスタN430、N431のソースに接地電位VSS、ドレンに冗長ダミーデータ線RD100、RD101、ゲートに図39に示すような冗長カラムアドレス信号RYMDB00、RYMDB01をそれぞれ接続する。また、トランジスタN440のソースに接地電位VSS、ドレンに冗長ダミーデータ線RD100、ゲートに図39に示すような冗長カラムアドレス信号RYMDW00をそれぞれ接続する。さらに、トランジスタN441のソースに電源電圧VDD、ドレンに冗長ダミーデータ線RD101、ゲートに図39に示すような冗長カラムアドレス信号RYMDW01をそれぞれ接続する。ここで、冗長カラムアドレス信号RYMDT00、RYMDT01、RYMDB00、RYMDB01、RYMDW00、RYMDW01の各々は、カラムアドレス信号YMDT00、YMDT01、YMDB00、YMDB01、YMDW00、YMDW01に対応する信号であり、後で示すようなダミーアドレス記憶回路に記憶された冗長情報に応じて駆動される。また、図39に示すように、マルチブレクサMUXUDO、MUXLDOに入力するカラムアドレス信号を、ダミーデータ線D100、D101に対応させて分離し、さらに、マルチブレクサMUXU40、MUXL40に入力する冗長カラムアドレス信号を、冗長ダミーデータ線D100、D101に対応させて分離することにより、ダミーデータ線を一本ずつ置換するようにしている。

【0123】図25は、一例として、メモリセルアレイMCA10におけるデータ線D2、D3と、ダミーセルアレイDCA10におけるダミーデータ線D100、D101上のバツ印で示したメモリセルに欠陥が生じた場合に、データ線D2、D3を冗長セルアレイRCA10における冗長データ線RD00、RD01、ダミーデータ線D100、D101を冗長セルアレイRDCA10における冗長ダミーデータ線RD100、RD101にそれぞれ置換する概念図を示している。一方の冗長データ線RD00、RD01上のメモリセルMCにデータを書き込む場合、図24に示したマルチブレクサMUXU30、MUXL30をそれぞれ制御して、冗長データ線を一本ずつ選択することによりデータを書き込む。他方の冗長ダミーデータ線RD100、RD101上のメモリセルMCを初期化する場合、図24に示したマルチブレクサMUXU40、MUXL40をそれぞれ制御して、電源電圧VDDと接地電位VSSとの間に冗長ダミーデータ線RD101から共通データ線DLおよび冗長ダミーデータ線RD100を介した電流経路を形成することにより、ダミーセルDCと同様に相補の記憶情報を書き込んで、ダミーセルを形成する。

【0124】図26は、別の例として、メモリセルアレイMCA10におけるデータ線D2と、ダミーセルアレイDCA10におけるダミーデータ線D101上のバツ印で示したメモリセルに欠陥が発生した場合に、データ線D2を冗長セルア

レイRCA10における冗長データ線RD00、ダミーデータ線D101を冗長セルアレイRDCA10における冗長ダミーデータ線RD101に置換する概念図を示している。冗長ダミーデータ線RD101上のメモリセルMCを初期化する場合、図24に示したマルチブレクサMUXUDO、MUXLDOおよびMUXU40、MUXL40をそれぞれ制御して、電源電圧VDDと接地電位VSSとの間に、冗長ダミーデータ線RD101から共通データ線DLおよびダミーデータ線D100を介した電流経路を形成することにより、ダミーデータ線D100と冗長ダミーデータ線RD101上のメモリセルに相補の記憶情報を書き込む。したがって、ダミーデータ線D100上のメモリセルMCと冗長ダミーデータ線RD101上のメモリセルMCを対にしたダミーセルが形成される。

【0125】最後に、本実施例についてまとめる。第一に、ダミーセルDCにおけるメモリセルMCLまたはMCHに欠陥が生じた場合、欠陥メモリセルMCLが接続されたダミーデータ線D100、または欠陥メモリセルMCHが接続されたダミーデータ線D101を、冗長ダミーデータ線RD100またはRD101に置換するようなカラム救済方式を提供した。これにより、欠陥ダミーセルDCと同一ワード線対上にあるメモリセルMCに対して参照信号を発生することができる。第二に、メモリセルMCに欠陥が生じた場合、欠陥メモリセルMCが接続されたデータ線Dを冗長データ線RD00またはRD01に置換するようなカラム救済方式を提供した。以上、二つのカラム救済方式により、実施例3よりも歩留まりの高いメモリブロックを実現することができる。

【0126】これまで、8×4ビット構成のメモリセルアレイMCA10、MCA11と8×1ビット構成のダミーセルアレイDCA10、DCA11に8×2ビット構成の冗長セルアレイRCA10、RCA11、RDCA10、RDCA11を導入する例を説明してきた。しかし、アレイ構成は、これに限定されない。例えば、実施例3で述べた例と同様に、一組のワード線対および一本のデータ線毎に数百ビットのメモリセルをそれぞれ配置したメモリセルアレイ構成とすることも可能である。これにより、多数のメモリセルMCが、読み出し回路RDC2および書き込み回路WCU10、WCL10、WCU11、WCL11を共有することができる。したがって、冗長セルアレイによるチップ面積追加を実効的に抑制して、チップ全体に対するメモリセルアレイの占有率を高めることができる。

【0127】また、アレイ構成を拡張したメモリセルブロックに本実施例によるカラム救済方式を導入する場合、冗長データ線数をメモリセルアレイにおける欠陥発生数に応じた数とすることが望ましい。例えば、現在広く用いられているDRAMでは、データ線に対する冗長データ線の割合が1ないし2%程度であり、MRAMにおいても、同程度の割合にすることが望ましい。そのためには、メモリセルアレイのサイズを大きくしなければならないが、前述のように本発明の参照信号発生方法を用

いることにより、高S/N比の読み出し動作が実現でき好適である。

【0128】また、これまで説明してきたカラム救済方式を、図19に示したメモリブロックに応用することもできる。例えば、メモリセルアレイMCA10とダミーセルアレイDCA10との間に冗長セルアレイRCA10、RDCA10を配置し、冗長データ線RD00と冗長ダミーデータ線RD100を共通データ線DLE、冗長データ線RD01を共通データ線DL0、冗長ダミーデータ線RD101を共通データ線DREにそれぞれ接続するように、マルチブレクサにおける対応するスイッチSRWを形成する。このような構成により、メモリセルアレイMCA10、ダミーセルアレイDCA10上の欠陥を冗長セルアレイRCA10、RDCA10にそれぞれ置換するカラム救済方式が実現され、歩留まりと集積度の高い、大容量MRAMを実現することができる。

＜実施例6＞実施例5では、メモリセルアレイMCA10とダミーセルアレイDCA10のそれぞれに対応した冗長セルアレイRCA10、RDCA10を形成するカラム救済方式を説明した。この方式では、救済能力が高い反面、メモリセルアレイMCA10およびダミーセルアレイDCA10に対する冗長セルアレイRCA10およびRDCA10の割合が大きいために、チップ面積が増加する。この問題を解決ために、本実施例では、メモリセルアレイ上に生じた欠陥メモリセルMCと、ダミーセルアレイにおけるダミーセルDC上に生じた欠陥メモリセルMCLおよびMCHの両方を、同一の冗長セルアレイに置換する救済回路について説明する。

【0129】図27は、本実施例におけるメモリブロックの要部ブロック図を示している。一方のメモリセルアレイMCA10とダミーセルアレイDCA10との間に、冗長セルアレイRCA10を配置し、冗長セルアレイRCA10の両端にマルチブレクサMUXU30、MUXL30をそれぞれ配置する。他方のメモリセルアレイMCA11とダミーセルアレイDCA11との間に、冗長セルアレイRCA11を配置し、冗長セルアレイRCA11の両端にマルチブレクサMUXU31、MUXL31をそれぞれ配置する。したがって、実施例5の図22および図23と比べて、冗長セルアレイRDCA10、RDCA11とマルチブレクサMUXU40、MUXL40、MUXU41、MUXL41を取り除いた構成としている。以下では、簡単のために、メモリセルアレイMCA10とダミーセルアレイDCA10に対する救済回路について説明する。

【0130】図28は、図27に示したメモリセルアレイMCA10とダミーセルアレイDCA10、冗長セルアレイRCA10、マルチブレクサMUXU20、MUXL20、MUXU30、MUXL30、MUXUDO、MUXLD0の回路構成例を示している。各回路ブロックは、図24に示した回路構成と同じであり、それぞれのマルチブレクサに入力するカラムアドレス信号名も、図39に示した信号名とそれ自身同じである。次に、このような構成による欠陥救済の動作概念を説明する。

【0131】図29は、一例として、ダミーデータ線D1

00、D101上のバ
場合に、ダミー
0、RD01にそれ
場合、次のよう
期化を行う。ま
30、MUXL30をそ
択する。次に、
部から入力し、
10を駆動して、
10を発生するこ
を書き込む。さ
情報'0'に応じた
長データ線RD01
により、メモリ
により、冗長デ
にしたダミーセル

【0132】図:
ミーデータ線D10
生じた場合に、
データ線RD00とR
いる。この場合、
後に、図29で記
モリセルMCに記述
ーデータ線D100
上のメモリセルMC
次に、本実施例に
アドレス信号の充
【0133】図31
デコーダの要部ブ
30 では簡単のために
A10およびダミーを
する正規カラムア
レイMCA10およびダ
イRCA10に置換する
デコーダRYMDが示
ラムアドレスデコ
ミーデータ線に対
にある。第二に、
とダミーデータ線D
40 ことにある。第三
線またはダミーデ
を非活性化するこ
ら、カラムアドレ
【0134】正規カラ
ムアドレスデコーダ
ライバアレイNADA
ダYMDECは、入力さ
に応じて複数個（二
ーブル信号を発生す
50 パアレイNADAに出力

イバアレイNADAは、ダミーカラムアドレス信号ドライバ DDR_{Vm} ($m=0, 1$) と正規カラムアドレス信号ドライバ NDR_{V_k} ($k=0, \dots, 3$) で構成される。ダミーカラムアドレス信号ドライバ DDR_{Vm} は、対応するカラムアドレスイネーブル信号 YMD とダミーデータ線書き込み信号 $TDWEB$ に応じて、ダミーデータ線の接続状態を制御するカラムアドレス信号 $YMDT0m$ 、 $YMDB0m$ 、 $YMDW0m$ ($m=0, 1$) をそれぞれ出力する。ここで、ダミーデータ線書き込み信号 $TDWEB$ は、後述するテストモード制御回路により発生される信号であり、ダミーセルアレイDCA10の初期化を行う際に接地電位VSSに駆動されることにより、所望のカラムアドレス信号 $YMDW0m$ を電源電圧VDDに駆動することを可能にする。また、正規カラムアドレス信号ドライバ NDR_{V_k} は、対応するカラムアドレスイネーブル信号 Ymk ($k=0, \dots, 3$) と書き込み制御信号 WEB に応じて、データ線の接続状態を制御するカラムアドレス信号 $YMTk$ 、 $YMBk$ 、 $YMWk$ ($k=0, \dots, 3$) をそれぞれ出力する。ここで、書き込み制御信号 WEB は、書き込み動作の際に接地電位VSSに駆動されることにより、所望のカラムアドレス信号 $YMWk$ を電源電圧VDDに駆動することを可能にする。

【0135】冗長カラムアドレスデコーダ $RYMD$ は、冗長カラムアドレス検出回路 $RDTC$ と冗長カラムアドレス信号ドライバアレイRADAで構成される。冗長カラムアドレス検出回路 $RDTC$ は、さらに複数個（ここでは、冗長データ線の本数に応じて2個）の冗長カラムアドレス記憶回路 $RMRY_m$ ($m=0, 1$)、NOR回路 $NR10$ 、 $NR11$ 、 $NR12$ 、インバータ回路 $IV10$ 、 $IV11$ で構成される。また、冗長カラムアドレス信号ドライバアレイRADAは、冗長カラムアドレス信号ドライバ $RDRA_m$ ($m=0, 1$) で構成される。

【0136】冗長カラムアドレス記憶回路 $RMRY_m$ は、プリチャージ信号 $PREB$ と、対応する正規冗長テスト信号 $TNRB_m$ ($m=0, 1$) およびダミー冗長テスト信号 $TDRB_m$ ($m=0, 1$)、カラムプリデコードアドレス CYM をそれぞれ受けて、正規冗長イネーブル信号 NRE_m ($m=0, 1$) とダミー冗長イネーブル信号 DRE_m ($m=0, 1$) を発生する。

【0137】NOR回路 $NR10$ 、 $NR11$ は、対応する正規冗長イネーブル信号 NRE_m とダミー冗長イネーブル信号 DRE_m に応じて冗長カラムアドレスイネーブル信号 $RYMB_m$ ($m=0, 1$) を発生し、対応する冗長カラムアドレス信号ドライバ $RDRA_m$ にそれぞれ出力する。ここで、電源電圧VDDの正規冗長イネーブル信号 NRE_m またはダミー冗長イネーブル信号 DRE_m が、対応するNOR回路 $NR1m$ ($m=0, 1$) に入力され、冗長カラムアドレスイネーブル信号 $RYMB_m$ が接地電位VSSに駆動されて、冗長カラムアドレス信号ドライバ $RDRA_m$ が活性化されることにより、対応する冗長データ線が選択される。

【0138】NOR回路 $NR12$ は、入力される正規冗長イネーブル信号 NRE_m に応じてさらに正規冗長イネーブル信号 $NREB$ を発生し、各正規カラムアドレス信号ドライバ NDR_k に出力する。ここでデータ線を冗長データ線に置換す

る場合、正規冗長イネーブル信号 $NREB$ は、電源電圧VDDの正規冗長イネーブル信号 $NRE0$ または $NRE1$ が入力されることにより接地電位VSSに駆動され、正規カラムアドレス信号ドライバ NDR_{V_k} を不活性化する。

【0139】インバータ回路 $IV1m$ ($m=0, 1$) は、対応するダミー冗長イネーブル信号 DRE_m を反転して、ダミー冗長イネーブル信号 $DREB_m$ ($m=0, 1$) をそれぞれ発生し、対応するダミーカラムアドレス信号ドライバ DDR_{Vm} にそれぞれ出力する。ここでダミーデータ線を冗長データ線に置換する場合、ダミー冗長イネーブル信号 $DREB_m$ は、電源電圧VDDのダミー冗長イネーブル信号 DRE_m が入力されることにより接地電位VSSに駆動され、対応するダミーカラムアドレス信号ドライバ DDR_{Vm} を不活性化する。次に、図31に示した各回路ブロックの回路構成例について説明する。

【0140】図32は、冗長カラムアドレス記憶回路 $RMRY_m$ の構成例を示している。冗長カラムアドレス記憶回路 $RMRY_m$ は、正規アドレス記憶回路 $NMRY$ とダミーアドレス記憶回路 $DMRY$ でそれぞれ構成される。一方の正規アドレス記憶回路 $NMRY$ は、PMOSトランジスタ $P451$ 、NMOSトランジスタ $N471$ 、複数個（ここでは6個）の冗長情報記憶回路 F で構成される。トランジスタ $P451$ は、正規冗長イネーブル信号 NRE_m を電源電圧VDDにプリチャージするためのトランジスタである。トランジスタ $P451$ のゲートにプリチャージ信号 $PREB$ を入力し、トランジスタ $P451$ とトランジスタ $N471$ を直列接続する。また、トランジスタ $N471$ のゲートに正規冗長テスト信号 $TNRB_m$ を入力し、トランジスタ $N471$ のソース端子であるノード A_m と接地電位 VSS との間に、複数個の冗長情報記憶回路 F を並列に接続する。さらに、カラムプリデコードアドレス CYM を構成する信号 $CYMTn$ ($n=0, 1, 2$) と、これらの信号をインバータ回路 $IV2n$ ($n=0, 1, 2$) で反転した信号 $CYMBn$ ($n=0, 1, 2$) を6個の冗長情報記憶回路 F にそれぞれ入力する。ここで、プリチャージ信号 $PREB$ は、アレイ制御バス ABS の中の一つである。また、正規冗長テスト信号 $TNRB_m$ は、後述するテストモード制御回路により発生される信号である。

【0141】このような構成において、接地電位VSSとなっているプリチャージイネーブル信号 $PREB$ を電源電圧VDDに駆動してから、カラムプリデコードアドレス CYM を入力する。ここで、正規冗長イネーブル信号 NRE_m がプリチャージレベルの電源電圧VDDに保持される場合、カラムプリデコードアドレス CYM に対応するデータ線を冗長データ線に置換する。

【0142】他方のダミーアドレス記憶回路 $DMRY$ は、PMOSトランジスタ $P461$ 、NMOSトランジスタ $N461$ と複数個（ここでは2個）の冗長情報記憶回路 F で構成される。トランジスタ $P461$ は、ダミー冗長イネーブル信号 DRE_m を電源電圧VDDにプリチャージするためのトランジスタである。トランジスタ $P461$ のゲートにプリチャージ信号 PR

EBを入力し、トランジスタP461とトランジスタN461を直列接続する。また、トランジスタN461のゲートにダミー冗長テスト信号TDRBmを入力し、トランジスタN461のソース端子であるノードBmと接地電位VSSとの間に、2個の冗長情報記憶回路Fを並列に接続する。さらに、例えばカラムプリデコードアドレスCYMを構成する最上位ビットの相補信号（ここでは、CYMT2、CYMB2）を2個の冗長情報記憶回路Fにそれぞれ入力する。ここで、ダミー冗長テスト信号TDRBmは、後述するテストモード制御回路により発生される信号である。

【0143】このような構成において、接地電位VSSとなっているプリチャージイネーブル信号PREBを電源電圧VDDに駆動してから、カラムプリデコードアドレスCYMを入力する。ここで、ダミー冗長イネーブル信号DREBmがプリチャージレベルの電源電圧VDDに保持される場合、カラムプリデコードアドレスCYMに対応するダミーデータ線を冗長データ線に置換する。

【0144】図33は、一例として正規アドレス記憶回路NMRYにおける冗長情報記憶回路Fの構成を示している。冗長情報記憶回路Fは、NMOSトランジスタN460とフューズFYを直列接続した公知の回路である。トランジスタN460のゲートにアドレス信号ADD（ここでは、カラムプリデコードアドレスCYMを構成する信号CYMTn、CYMBn（n=0, 1, 2））を入力し、フューズFYをポリシリコンなどの配線層で形成する。

【0145】図34は、テストモード制御回路TCTLを示している。この回路は、図13に示した制御信号CM、ロウアドレスBX、カラムアドレスBYが入力され、それらに応じてテストモードバスTBSを発生して各回路ブロックに出力する。前述した正規冗長テスト信号TNRBm、ダミー冗長テスト信号TDRBm、ダミーデータ線書き込み信号TDWEBは、このテストモードバスTBSを構成する複数の制御信号の中の一つであり、欠陥検出や初期化動作に応じて接地電位VSSに駆動される。

【0146】次に、冗長カラムアドレス記憶回路RMRYmの制御と動作について説明する。ここでは一例として、図30に示したメモリセルアレイMCA10上のデータ線を冗長データ線RD00に置換する場合を仮定し、図32に従い、冗長カラムアドレス記憶回路RMRY0の動作について説明する。まず、欠陥を検出するために、電源電圧VDDとなっている正規冗長テスト信号TNRB0を接地電位VSSに駆動し、正規アドレス記憶回路NMRYにおけるトランジスタN471をオフ状態として、対応する正規冗長イネーブル信号NRE0をプリチャージレベルの電源電圧VDDに保持することにより、誤動作するメモリセルMCが接続されたデータ線を一時的に冗長データ線RD00に置換する。次に、冗長データ線RD00上のメモリセルMCが正しく動作することを確認してから、対応するカラムプリデコードアドレスCYMに応じたフューズFYをレーザー切断装置を用いて切断することにより、正規アドレス記憶回路NMRYに冗長

情報を書き込む。これに対して、通常の読み書き動作の場合、正規冗長テスト信号TNRB0を電源電圧VDDに保持することにより、正規アドレス記憶回路NMRYにおけるトランジスタN471を導通させる。ここで、誤動作するメモリセルMCが接続されたデータ線が選択されて、対応するカラムプリデコードアドレスCYMが入力されると、正規アドレス記憶回路NMRYにおける電流経路が前述のフューズFYにより遮断される。したがって、正規冗長イネーブル信号NRE0がプリチャージレベルの電源電圧VDDに保持されることにより、選択したデータ線が冗長データ線RD00に置換される。

【0147】ダミーデータ線を置換する場合についても同様に、ダミー冗長テスト信号TDRBmを用いてダミーデータ線に接続されたメモリセルMCLおよびMCHの欠陥を検出してから、図32に示したダミーアドレス記憶回路DMRYに冗長情報を書き込む。

【0148】以下では、各カラムアドレス信号ドライバの回路構成について説明する。図35は、正規カラムアドレス信号ドライバNDRVkの構成例を示している。正規カラムアドレス信号ドライバNDRVkは、NAND回路ND10、NOR回路NR20、インバータ回路IV30で構成される。ND10において、一方の端子にカラムアドレスイネーブル信号YMK、他方の端子に正規冗長イネーブル信号NREBをそれぞれ入力し、出力端子をカラムアドレス信号YMBkに接続する。また、NR20において、一方の端子にカラムアドレス信号YMBk、他方の端子に書き込み制御信号WEBをそれぞれ入力し、出力端子をカラムアドレス信号YMWkに接続する。さらに、カラムアドレス信号YMBkをIV30で反転してカラムアドレス信号YMTkとする。

【0149】図36は、ダミーカラムアドレス信号ドライバDDRVmの構成例を示しており、図35に示した正規カラムアドレス信号ドライバNDRVkと同じようにNAND回路ND10、NOR回路NR20、インバータ回路IV30で構成される。ND10において、一方の端子にカラムアドレスイネーブル信号YMD、他方の端子にダミー冗長イネーブル信号DREBmをそれぞれ入力し、出力端子をカラムアドレス信号YMDB0mに接続する。また、NR20において、一方の端子にカラムアドレス信号YMDB0m、他方の端子にダミーデータ線書き込み信号TDWEBをそれぞれ入力し、出力端子をカラムアドレス信号YMDW0mに接続する。さらに、カラムアドレス信号YMDB0mをIV30で反転してカラムアドレス信号YMDT0mとする。

【0150】図37は、冗長カラムアドレス信号ドライバRDRVmの構成例を示しており、NOR回路NR20、インバータ回路IV30、IV40、VI41で構成される。同図は、図35や図36に示したカラムアドレス信号ドライバと比べて、NAND回路ND10がIV40、IV41に置き換えられている点が異なる。冗長カラムアドレス信号RYMBmは、冗長カラムアドレスイネーブル信号RYMBmを直列接続されたIV40、IV41でバッファリングした信号であり、冗長カラム

アドレス信号RYMB0mをさらにIV30で反転した信号が冗長カラムアドレス信号RYMT0mである。NR20において、一方の端子に冗長カラムアドレス信号RYMB0m、他方の端子に書き込み制御信号WEBをそれぞれ入力し、出力端子を冗長カラムアドレス信号RYMW0mに接続する。

【0151】以上で述べた各カラムアドレス信号ドライバの動作について、以下に説明する。まず、冗長データ線を使う場合、冗長カラムアドレスイネーブル信号RYMB_mを接地電位VSSに保持することにより、冗長カラムアドレス信号ドライバDRV_mを活性化する。一方、冗長データ線の置換元に応じて、正規冗長イネーブル信号NREBまたはダミー冗長イネーブル信号DREB_mを接地電位VSSに保持して、図35または図36に示したNAND回路ND10を非活性化することにより、正規カラムアドレス信号ドライバDRV_kまたはダミーカラムアドレス信号ドライバDRV_mを非活性化する。

【0152】次に、冗長データ線を使わない場合、接地電位VSSとなっている冗長カラムアドレスイネーブル信号RYMB_mを電源電圧VDDに駆動することにより、冗長カラムアドレス信号ドライバDRV_mを非活性化する。一方、データ線およびダミーデータ線が選択されるのに応じて、接地電位VSSとなっている正規冗長イネーブル信号NREBおよびダミー冗長イネーブル信号DREB_mを電源電圧VD_Dに駆動して、図35および図36に示したNAND回路ND10を活性化することにより、正規カラムアドレス信号ドライバNDREV_kおよびダミーカラムアドレス信号ドライバDRV_mを活性化する。

【0153】ここで、図35、図37に示したNOR回路NR20は、書き込み動作において、電源電圧VDDとなっている書き込み制御信号WEBが接地電位VSSに駆動されることにより活性化されて、選択されたデータ線に応じてカラムアドレス信号YMWkまたは冗長カラムアドレス信号YMW0mを駆動する。また、図36に示したNOR回路NR20は、初期化動作において、電源電圧VDDとなっているダミーデータ線書き込み信号TDWEBが接地電位VSSに駆動されることにより活性化されて、カラムアドレスイネーブル信号YMDに応じてカラムアドレス信号YMDW0mを駆動する。

図3.7では、冗長カラムアドレスイネーブル信号RYM_mを直列接続されたIV40、IV41でバッファリングする例を示したが、図3.1に示した冗長カラムアドレス検出回路RDTCにおけるNOR回路NR10およびNR11の駆動能力が十分大きい場合は、IV40、IV41を取り除いて、冗長カラムアドレスイネーブル信号RYM_mをそのまま冗長カラムアドレス信号RYMB0_mとしても良い。この場合、冗長カラムアドレス信号ドライバRDRV_mのレイアウト面積を低減できる。

【0154】以上から、図27に示したメモリブロックと図31に示したカラムアドレスデコーダによるカラム救済方式の効果をまとめると、第一に、一例として図28に示したように、メモリセルアレイMCA10におけるメモリセルMCと、ダミーセルアレイDCA10上のダミーセルDC

におけるメモリセルMCLおよびMCHが同じ構成のため、メモリセルアレイMCA10とダミーセルアレイDCA10の各々は、欠陥メモリセルの置換先として、メモリセルMCで構成した冗長セルアレイRCA10を共有することが可能である。また、図32に示した冗長カラムアドレス記憶回路RMRYmにおいて、正規アドレス記憶回路NMRYとダミーアドレス記憶回路DMRYを用いて、データ線とダミーデータ線に対する冗長情報をそれぞれ記憶する。さらに、図31に示した冗長カラムアドレス検出回路RDTCにおいて、正規アドレス記憶回路NMRYおよびダミーアドレス記憶回路DMRYの出力信号である正規冗長イネーブル信号NREmとダミー冗長イネーブル信号DREmを、対応するNOR回路NR10、NR11にそれぞれ入力して冗長カラムイネーブル信号RYMBmを発生することにより、データ線とダミーデータ線の双方を同一の冗長データ線に置換することが可能である。以上から、実施例5の図22および図23に示したメモリブロックよりも、冗長セルアレイの占める割合を低減したカラム救済方式が実現できて、より集積度の高い、高信頼、大容量MRAMを実現することができる。

20 【0155】第二に、図32で示したように、正規冗長テスト信号TNRBmとダミー冗長テスト信号TDRBmを用いて、データ線またはダミーデータ線を一時的に冗長データ線に置換することにより、その効果をあらかじめ確認することができる。すなわち、メモリセルMCおよびダミーセルDCにおける欠陥を検出できる。ここで、正規冗長テスト信号TNRBmとダミー冗長テスト信号TDRBmは、図34に示したテストモード制御回路に外部からコマンドやアドレス信号を入力することにより発生できるので、制御が簡単である。したがって、チップのテストの時に欠

30 陥検出と冗長情報記憶動作を行えば、安いコストで短時間に行なうことができる。

【0156】これまで、 8×4 ビット構成のメモリセルアレイMCA10、MCA11と 8×1 ビット構成のダミーセルアレイDCA10、DCA11に 8×2 ビット構成の冗長セルアレイRCA10、RCA11を導入する例を説明してきた。しかし、アレイ構成は、これに限定されない。例えば、実施例5で述べた例と同様に、一組のワード線対および一本のデータ線毎に数百ビットのメモリセルをそれぞれ配置したメモリセルアレイ構成とすることにより、チップ全体に対するメモリセルアレイの占有率を高めることができる。

【0157】また、カラム救済を適用する場合、実施例5の場合と同様にデータ線数に対して数%の冗長データ線を形成することにより、チップ全体に対するメモリセルアレイの占有率を保持しながら、歩留まりを向上することができる。さらに、欠陥発生数が少ない場合は、一本の冗長データ線数により、データ線またはダミーデータ線を置換することが可能なので、実施例5の場合よりも小さな冗長セルアレイで効率よく欠陥を救済することができる。

【0158】また、これまで説明してきたカラム救済方式を、図19に示したメモリブロックに応用することもできる。例えば、メモリセルアレイMCA10とダミーセルアレイDCA10との間に冗長セルアレイRCA10を配置し、冗長データ線RD00を共通データ線DLE、冗長データ線RD01を共通データ線DL0にそれぞれ接続するように、マルチブレクサにおける対応するスイッチSRWを形成する。また、これと対称にメモリセルアレイMCA10とダミーセルアレイDCA10との間に冗長セルアレイを配置し、一方の冗長データ線を共通データ線DRE、他方の冗長データ線を共通データ線DROにそれぞれ接続するように、マルチブレクサにおける対応するスイッチSRWを形成する。このような構成により、メモリセルアレイMCA10、ダミーセルアレイDCA10上の欠陥を冗長セルアレイRCA10またはもう一方の冗長セルアレイにそれぞれ置換するカラム救済方式が実現され、歩留まりと集積度の高い、大容量MRAMを実現することができる。

【0159】以上、種々の実施例に従い、1個のMTJ素子と1個のトランジスタで構成されるメモリセルを有するMRAMについて説明してきた。しかし、メモリセルの構成は、これに限定されない。例えば、米国特許第5793697号(US patent No. 5,793,697)に開示されている、整流作用を有する素子としてダイオードを用いたメモリセルに適用することが可能である。この場合、ワード線を一本削減することが可能になり、メモリセルを形成する際の工程数を削減できる。また、メモリセルの端子を3つから2つに削減した分、メモリセル面積を低減することが可能になり、さらに集積度の高い、大容量MRAMを実現することができる。ただし、読み出し動作において、ダイオードにより選択と非選択を制御するために、印加電圧に制約がある上、ダイオードの非線型特性の影響を受けるため、1個のMTJ素子と1個のダイオードで構成されたメモリセルを用いるためには、1個のMTJ素子と1個のトランジスタで構成されたメモリセルを用いる場合よりもさらに参照信号発生方法が重要であり、本発明の方式が有効と考えられる。

【0160】最後に、本発明によるMRAMの応用例を述べる。図38は、一例として本発明によるMRAMを内蔵したコードレス電話器システムの要部ブロック図を示しており、アンテナATN、アナログフロントエンドブロックAFE、アナログ-デジタル変調回路ADC1、ADC2、デジタル-アナログ変調回路DAC1、DAC2、ベースバンドブロックBBD、スピーカSPK、液晶ディスプレイLCD、マイクMIK、入力キーKEYで構成される。同図では省略されているが、アナログフロントエンドブロックAFEは、アンテナスイッチ、帯域通過フィルタ、各種増幅器、パワー・アンプ、フェイズ・ロックド・ループ(PLL)、電圧制御オシレータ(VCO)、直交復調器、直交変調器などで構成された電波の送受信を行う公知の回路ブロックである。また、ベースバンドブロックBBDは、信号処理回

路SGC、中央処理装置CPU、本発明によるMRAMで構成される。

【0161】次に、図38による携帯電話の動作を説明する。音声および文字情報などを含む画像を受信する場合、アンテナから入力された電波は、アナログフロントエンドブロックAFEを介してアナログ-デジタル変調回路ADC1に入力され、波形等化およびアナログ-デジタル変換される。ADC1の出力信号は、ベースバンドブロックBBDにおける信号処理回路SGCに入力されて音声および画像処理が施され、音声信号はデジタル-アナログ変換回路DAC2からスピーカに、画像信号は液晶ディスプレイにそれぞれ伝送される。また、音声信号を発信する場合、マイクから入力された信号は、アナログ-デジタル変換回路ADC2を介して信号処理回路SGCに入力されて、音声処理が行われる。SGC出力は、デジタル-アナログ変換回路DAC1からアナログフロントエンドブロックAFEを介して、アンテナへ伝送される。さらに、文字情報を発信する場合、入力キーKEYから入力された信号は、ベースバンドブロックBBD、デジタル-アナログ変換回路DAC1からアナログフロントエンドブロックAFEを介して、アンテナへ伝送される。

【0162】ベースバンドブロックBBDにおいて、本発明によるMRAM、中央処理装置CPU、信号処理回路SGCは、それぞれ双方向的に接続される。ここで、中央処理装置CPUは、入力キーKEYから入力された信号やADC1出力、SGC出力に応じて、ベースバンドブロックBBD内の制御や周辺ブロックの制御(同図では省略)を行う。例えば、入力キーKEYから入力された信号に応じて、本発明によるMRAMにダイヤル番号や短縮番号などの情報を書き込んだり、逆に読み出したりする。別の例として、入力されるADC1出力信号およびSGC出力信号に応じて信号処理回路SGCを制御し、さらに信号処理に必要なプログラムを、本発明によるMRAMから読み込んだり、逆に書き込んだりする。また、本発明によるMRAMは、SGCから入力された画像信号を一時的に記憶して液晶ディスプレイに出力するバッファとしても使用される。

【0163】以上のように、これまでEPROMやフラッシュメモリを用いてきたプログラマブルROMや、SRAMを用いてきた主記憶メモリ、キャッシングメモリ、画像メモリに本発明によるMRAMを適用することにより、携帯電話システムの部品数を低減して、携帯電話の小型化および軽量化を実現することができる。また、本発明によるMRAMは、相補の記憶情報を保持するダミーセルを用いたことにより安定した読み出し動作が可能なため、耐環境性に優れた携帯電話を実現することができる。さらに、本発明によるMRAMは救済回路を有した高集積、高信頼のメモリであるので、大容量化が容易であり、情報処理能力の高い携帯電話を実現することができる。

【0164】本発明によるMRAMの別の応用例は、図38に示した回路ブロックにおける複数の要素回路と本

発明によるMRAMを一つのチップ上に形成するシステムLSIである。例えば、ベースバンドブロックBBDを一つのチップ上に形成したシステムLSIを携帯電話に搭載することにより、この部分の小型化と軽量化を向上することができる。また、システムLSIによりデータ処理速度を向上できるので、処理能力の高い携帯電話を実現することができる。

【0165】さらに別の応用例は、本発明によるMRAMを搭載したメモリカードである。MRAMは、前述したように不揮発メモリであり、読み書き回数に制限がない。また、文献1では、MRAMの書き込み時間が10nsと報告されており、この値はフラッシュメモリの書き込み時間よりも速い。したがって、本発明のMRAMにより、高速、高集積で、信頼性と耐環境性に優れた大容量メモリカードを実現することができる。

＜実施例7＞なお、本発明の適用範囲はMRAMに限らず、記憶情報に応じてメモリセルの抵抗値が異なり、データ線を介して流れる電流を検出することにより記憶情報を読み出すようなMRAM以外のメモリにも、本発明を適用できる。そこで、一例として、相変化メモリ(Phase-Change Memory)について次に説明する。

【0166】相変化メモリは、例えば、プロシーディングス、2000、アイ・イー・イー・イー、エアロスペース・カンファレンス、ピック・スカイ・モンタナ、第385頁から第390頁(2000年3月18日から25日)(Proceedings 2000 IEEE Aerospace Conference, Big Sky MT, pp. 385-390, Mar. 18-25, 2000。)で述べられている。相変化メモリにおけるメモリセルPMCは、図40に示すように選択トランジスタTR、配線抵抗RLおよび記憶素子CAで構成される。これらの素子は、それぞれ直列接続され、選択トランジスタTRのゲートにワード線WLk、ドレインにデータ線Djを接続し、記憶素子CAの一端を接地する。図41は、メモリセルの断面構造の一例を示している。選択トランジスタTRは、P型シリコン基板PSUB上に形成されたNMOSトランジスタであり、ゲート部は、ポリシリコンゲートPS、ゲート酸化膜GOX、絶縁膜SDWで形成される。また、ソースおよびドレイン電極のそれぞれはN型拡散層NDで形成され、N型拡散層NDと基板との境界における不純物濃度を低くすることにより、基板とソースおよびドレイン間の電界を緩和する構成としている。SGIは、シリコンを酸化することによって形成した素子分離用絶縁体である。選択トランジスタTRのソース電極と記憶素子(カルコゲナイト合金)CAを金属配線間コンタクトPG1で接続し、記憶素子CAと金属配線層MT1を金属配線間コンタクトPG2で接続する。さらに、選択トランジスタTRのドレイン電極と金属配線層MT2を金属配線層間コンタクトPG3で接続する。金属配線層MT1、MT2および金属配線間コンタクトPG1、PG2、PG3のそれぞれを、例えばタンクステンで形成する。このような構成において、選択トランジスタTRのゲート電極、すなわちポリシリ

リコンゲートPSがワード線、金属配線層MT1、MT2がそれぞれ接地電極とデータ線に該当する。また、金属配線層間コンタクトPG1およびPG2による合成抵抗を、図40では配線抵抗RLと示している。記憶素子CAの組成は、例えばアイ・イー・イー・イー、トランザクションズ・オン・ニュークリア・サイエンス、第47巻、第6号、第2528頁から第2533頁(2000年12月)(IEEE TRANSACTIONS ON NUCLEAR SCIENCE, VOL. 47, NO. 6, pp. 2528-2533, Dec. 2000。)で述べられており、ゲルマニウム、アンチモンおよびテルルで形成されるカルコゲナイト合金である。メモリセルに流れる電流が発生する熱によって、カルコゲナイト合金の一部分が低抵抗の単結晶状態もしくは高抵抗のアモルファス状態に変化する。この性質を利用して、素子に印加する電流を制御することにより、記憶情報をメモリセルに書き込み、抵抗に応じてデータ線を介して流れる電流を検出することにより、記憶情報を読み出す。ここで、読み出し動作で検出する電流は、共に一方の極性の2値である。また、アモルファス状態の記憶素子は、その抵抗値に電圧依存性を有し、高電圧を印加すると高抵抗状態から低抵抗状態に変化する。そこで、記憶情報を破壊しないようにするために、低い電圧を記憶素子に印加しながら読み出し動作を行う。

【0167】以上の動作原理から、相変化メモリの読み出し動作は、MRAMと同じような動作となる。したがって、実施例1から実施例4で述べたように、メモリセルと同じ構造の2つのセルに相補の情報をそれぞれ記憶したダミーセルを各ワード線に配置し、カレントミラーアルゴリズムを用いて参照信号を発生する読み出し方式を相変化メモリに適用することができる。この場合、各メモリセルに生じる特性ばらつきの影響を抑制しながら、精度良く参照信号を発生することができるので、相変化メモリの安定した読み出し動作を実現することができる。また、ダミーセルが、メモリセルと同じ構造の2つのセルで構成されるので、実施例5と実施例6で述べたような冗長セルアレイによるカラム救済方式を相変化メモリに適用する事も可能である。このカラム救済方式によって、歩留まりと集積度の高い、大容量の相変化メモリを実現することができる。

【0168】
【発明の効果】磁気抵抗の変化を利用して情報を記憶するメモリセルを用いた高集積な大容量MRAMを実現することができる。

【図面の簡単な説明】
【図1】実施例1による1個のMTJ素子と1個のトランジスタで構成されるメモリセルを用いたメモリブロックの構成例を示す図。
【図2】1個のMTJ素子と1個のトランジスタで構成されるメモリセルの例を示す図。
【図3】MTJ素子の断面の例を示す図。
【図4】MTJ素子に流れる電流と本発明による参照信

61

号の関係を示す図。

【図5】実施例1による読み出し回路の構成例を示す図。

【図6】実施例1によるマルチブレクサと書き込み回路の構成例を示す図。

【図7】実施例1によるワードドライバの構成例を示す図。

【図8】実施例1のメモリブロックの読み出し動作タイミングの例を示す図。

【図9】実施例1のメモリブロックの書き込み動作タイミングの例を示す図。

【図10】実施例1によるカレントミラー回路の別の構成例を示す図。

【図11】実施例1によるダミー書き込み回路の別の構成例を示す図。

【図12】実施例1のメモリブロックを用いたメモリアレイの構成例を示す図。

【図13】実施例1のメモリアレイを用いた同期式メモリの構成例を示すブロック図。

【図14】実施例2による1個のMTJ素子と1個のトランジスタで構成されるメモリセルを用いたメモリブロックの構成例を示す図。

【図15】実施例2による読み出し回路の構成例を示す図。

【図16】実施例2によるカレントミラー回路の別の構成例を示す図。

【図17】実施例3による1個のMTJ素子と1個のトランジスタで構成されるメモリセルを用いたメモリブロックの構成例を示す図。

【図18】実施例3による読み出し回路の構成例を示す図。

【図19】実施例4による1個のMTJ素子と1個のトランジスタで構成されるメモリセルを用いたメモリブロックの構成例を示す図。

【図20】実施例4による読み出し回路の構成例を示す図。

【図21】実施例4による書き込み回路の構成例を示す図。

【図22】実施例5による1個のMTJ素子と1個のトランジスタで構成されるメモリセルを用いたメモリブロックの構成例を示す図(その1)。

【図23】実施例5による1個のMTJ素子と1個のトランジスタで構成されるメモリセルを用いたメモリブロックの構成例を示す図(その2)。

【図24】実施例5による冗長セルアレイとマルチブレクサの構成例を示す図。

【図25】実施例5によるカラム救済方式の置換例を示す概念図(その1)。

【図26】実施例5によるカラム救済方式の置換例を示す概念図(その2)。

62

【図27】実施例6による1個のMTJ素子と1個のトランジスタで構成されるメモリセルを用いたメモリブロックの要部構成例を示す図。

【図28】実施例6による冗長セルアレイとマルチブレクサの構成例を示す図。

【図29】実施例6によるカラム救済方式の置換例を示す概念図(その1)。

【図30】実施例6によるカラム救済方式の置換例を示す概念図(その2)。

10 【図31】実施例6によるカラムアドレスデコーダの構成例を示すブロック図。

【図32】実施例6による冗長カラムアドレス記憶回路の構成例を示す図。

【図33】実施例6による冗長情報記憶回路の構成例を示す図。

【図34】実施例6によるテストモード制御回路の構成例を示すブロック図。

【図35】実施例6による正規カラムアドレス信号ドライバの回路構成例を示す図。

20 【図36】実施例6によるダミーカラムアドレス信号ドライバの回路構成例を示す図。

【図37】実施例6による冗長カラムアドレス信号ドライバの回路構成例を示す図。

【図38】本発明のMRAMを搭載した携帯電話器の要部ブロックを示す図。

【図39】実施例5によるマルチブレクサに入力するカラムアドレスを示す表。

【図40】実施例7による相変化メモリにおけるメモリセルの回路構成例を示す図。

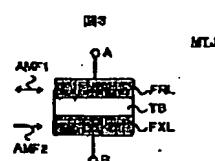
30 【図41】実施例7による相変化メモリにおけるメモリセルの断面の例を示す図。

【符号の説明】

MTJ…MTJ素子、FXL, FRL…強磁性体層、TB…絶縁膜、AWW, ADL, ADH…電流の向き、ID(1), ID(0), IDS(1), IDS(0), IREF, IW, IDS(W1), IDS(W0)…電流、BLK…メモリブロック、WDA…ワードドライバアレイ、WRD…読み出しドライバ、WWD…書き込みドライバ、MCA, MCA1, MCA11…メモリセルアレイ、DCA1, DCA10, DCA11…ダミーセルアレイ、RCA10, RCA11, RDCA10, RDCA11…冗長セルアレイ、MUXU1, MUXL1, MUXU20, MUXL20, MUXU21, MUXL21, MUXU30, MUXL30, MUXU31, MUXL31, MUXU40, MUXL40, MUXU41, MUXL41, MUXUD, MUXLD, MUXUD0, MUXLD0, MUXUD1, MUXLD1…マルチブレクサ、WCU1, WCL1, WCU10, WCL10, WCU11, WCL11, WCU20, WCU21…書き込み回路、RDC1, RDC2, RDC3, RDC4, RDC40, RDC41…読み出し回路、MC, MCL, MCH…メモリセル、DC…ダミーセル、DXB…ロウデコードアドレス、XBk…ロウデコード信号、ABS…アレイ制御バス、WRk…読み出しワード線、WWk…書き込みワード線、D, Dj(j=0, …, 7)…データ線、DD0, DD1, D100, D101, D110, D111…ダミーデータ線、DS, D

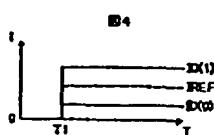
SO, DS1, RS, DL, DLA, DR, DRA, DLB, DL0, DRE, DR0…共通データ線、DYM…カラムデコードアドレス、YMTj(j=0, …, 7), YMBj(j=0, …, 7), YMWj(j=0, …, 7), YMDT, YMDB, YMDW, YMDOO, YMDO1, YMDB01, YMWDW01…カラムアドレス信号、RYMTOO, RYMT01, RYMB00, RYMB01, RYMW00, RYMW01, RYMDT00, RYMDT01, RYMDB00, RYMDB01, RYMDW00, RYMDW01…冗長カラムアドレス信号、WCOM, WCOM0, WCOM1…書き込み共通ノード、DWU1…ダミー書き込み回路、RYS, RYSL, RYSR, WYS, WYSL, WYSR…カラム選択信号、WIT, WIB, WITO, WIB0, WIT1, WIB1…書き込みデータ線、VB1…バイアス電圧、N1, N21, N22, N31, N61, N610, N611, N62, N71, N72, N73, N81, N82, N91, N92, N101, N102, N11j(j=0, 1, …, 7), N120, N121, N13j(j=0, 1, …, 7), N14j(j=0, 1, …, 7), N150, N151, N161, N162, N163, N164, N181, N182, N190, N191, N241, N270, N271, N280, N281, N290, N291, N331, N332, N333, N334, N401, N402, N411, N412, N340, N341, N350, N351, N360, N361, N420, N421, N430, N431, N440, N441, N460, N461, N471…NMOSトランジスタ、P21, P22, P31, P41, P42, P43, P44, P51, P52, P53, P54, P55, P56, P57, P58, P81, P82, P83, P161, P162, P163, P181, P182, P231, P232, P233, P234, P235, P236, P241, P301, P302, P303, P304, P305, P306, P321, P322, P323, P324, P451, P461…PMOSトランジスタ、VSS…接地電位、VDD…電源電圧、VDH…昇圧電圧、VTH…NMOSトランジスタのしきい電圧、WET, WEB…書き込み制御信号、EQ…ブリチャージイネーブル信号、WDT, WDB…内部書き込みノード、YSW1, YSW10, YSW11, YSW2…カラム選択回路、PCEQ…ブリチャージ回路、SA…センスアンプ、CM, CMD1, CM10, CM11, CMD2, CM20, CM21…カレントミラー回路、BC1, BC2, BC3, BC4…バイアス回路、SDP…センスアンプ起動信号、REB…読み出し制御信号、ROT, ROB, ROTO, ROBO, ROT1, ROB1…読み出しデータ線、DT, DB, DT0, DB0, DT1, DB1, SDLE, SDLO, SDRE, SDRO…センスデータ線、NDS, NRS, NDS0, NDS1, NDL, NDLA, NDR, NDRA, NDLE, NDLO, NDRE, NDRO…内部共通データ線、MAR…メモリアレイ、YSDEC, YMD…カラムデコーダ、XDEC…ロウデコーダ、ACTL…アレイ制御回路、MI…メインデータ入力線、MO…メインデータ出力線、CX…ロウブリデコードアドレス、CYM…カラムブリデコードアドレス、MS…マット選択信号、DXB…ロウデコードアドレス、DYM…カラムデコードアド

【図3】

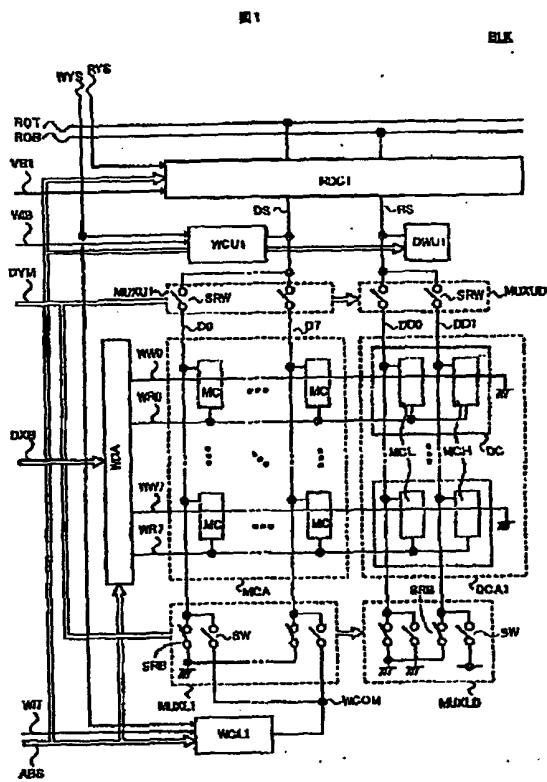


レス、CLKB…クロックバッファ、CB…コマンドバッファ、CD…コマンドデコーダ、AB…アドレスバッファ、DI…入力バッファ、DOB…出力バッファ、UNT1, UNT2…ユニット、XPD…ロウブリデコーダ、YPD…カラムブリデコーダ、WB…ライトバッファ、RB…リードバッファ、CLK…クロック、CMD…コマンド、ADR…外部アドレス、DQ…外部入出力データ、GI…ライトデータ、GO…リードデータ、DSW…共通データ線制御回路、CNE, CNO…接続制御信号、RD00, RD01, RD10, RD11…冗長データ線、RD100, RD101, RD110, RD111…冗長ダミーデータ線、NYMD…正規カラムアドレスデコーダ、RYMD…冗長カラムアドレスデコーダ、YMDEC…カラムアドレスデコーダ、YMD, YMk(k=0, …, 3)…カラムアドレスイネーブル信号、NADA…正規カラムアドレス信号ドライバアレイ、DDRVO, DDRV1…ダミーカラムアドレス信号ドライバ、NDRVk(k=0, …, 3)…正規カラムアドレス信号ドライバ、TDWEB…ダミーデータ線書き込み信号、RYMD…冗長カラムアドレスデコーダ、RDT…冗長カラムアドレス検出回路、RADA…冗長カラムアドレス信号ドライバアレイ、RMRY0, RMRY1…冗長カラムアドレス記憶回路、ND10…NAND回路、NR10, NR11, NR12, NR20…NOR回路、IV10, IV11, IV2n(n=0, 1, 2), IV30, IV40, IV41…インバータ回路、RDRV0, RDRV1…冗長カラムアドレス信号ドライバ、PREB…ブリチャージ信号、TNRB0, TNRB1…正規冗長テスト信号、TDRB0, TDRB1…ダミー冗長テスト信号、NRE0, NRE1, NREB…正規冗長イネーブル信号、DRE0, DRE1, DREB0, DREB1…ダミー冗長イネーブル信号、RYMB0, RYMB1…冗長カラムアドレスイネーブル信号、NMRY…正規アドレス記憶回路、DMRY…ダミアアドレス記憶回路、F…冗長情報記憶回路、FY…フューズ、TCTL…テストモード制御回路、TBS…テストモードバス、ANT…アンテナ、AFE…アナログフロントエンドブロック、ADC1, ADC2…アナログデジタル変調回路、DAC1, DAC2…デジタルアナログ変調回路、BBD…ベースバンドブロック、SPK…スピーカ、LCD…液晶ディスプレイ、MIK…マイク、KEY…入力キー、SGC…信号処理回路、CPU…中央処理装置、TR…選択トランジスタ、RL…配線抵抗、CA…記憶素子、PMC…メモリセル、PSUB…P型シリコン基板、SGI…素子分離用絶縁体、PS…ポリシリコンゲート、GOX…ゲート酸化膜、SDW…絶縁膜、ND…N型拡散層、PG1, PG2, PG3…金属配線層間コンタクト、MT1, MT2…金属配線層。

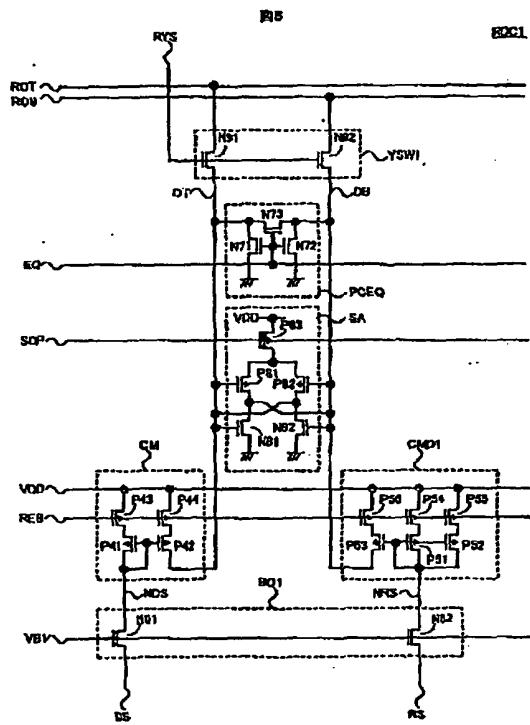
【図4】



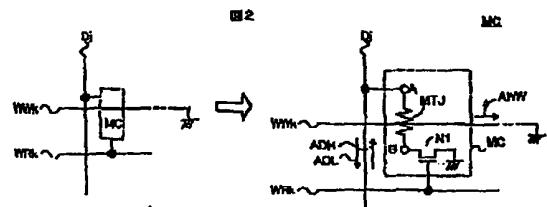
【図1】



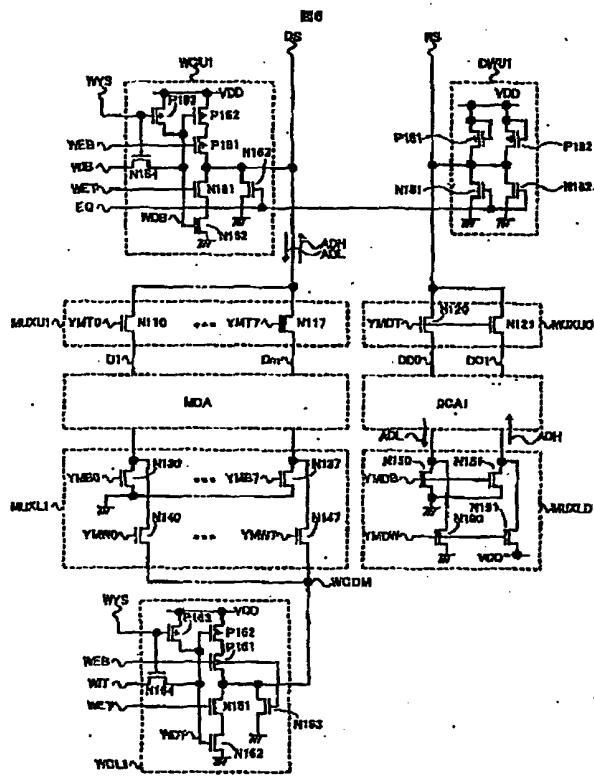
【四 5】



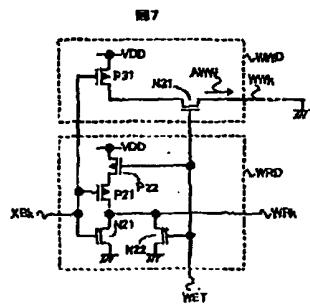
【图2】



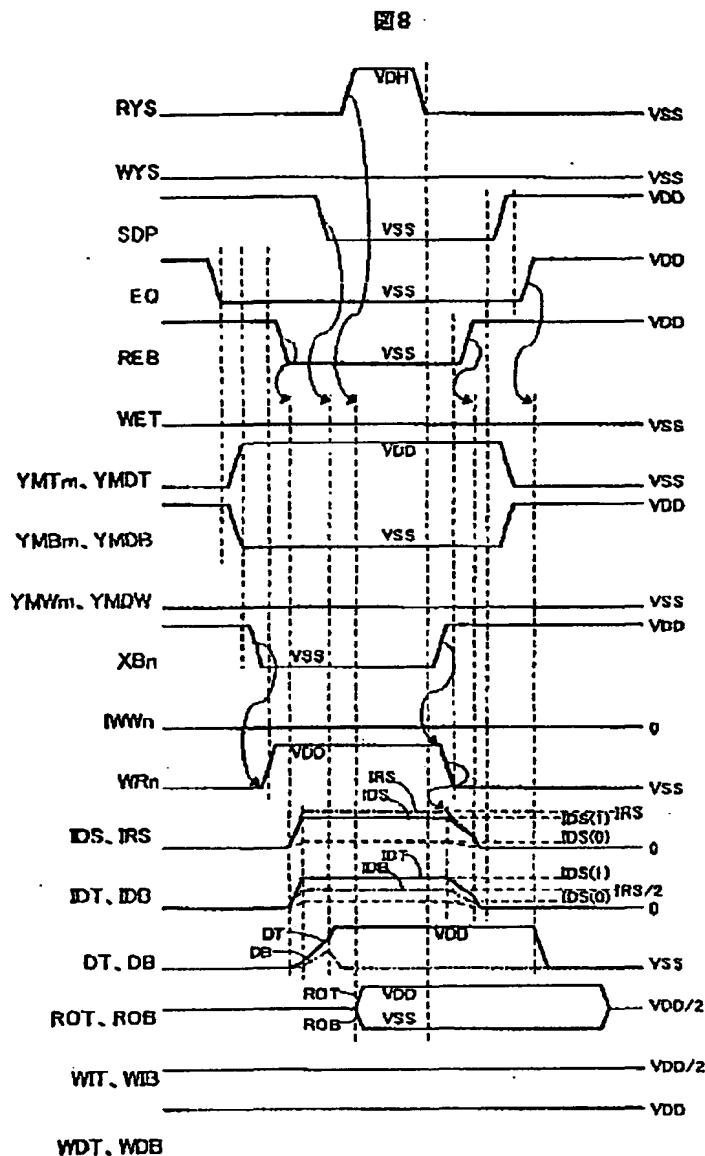
【図6】



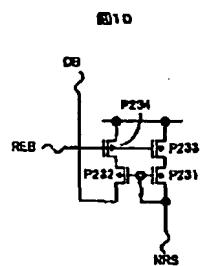
[四七]



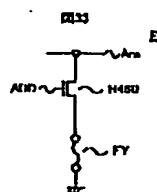
【図 8】



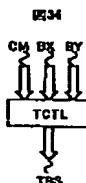
【図 10】



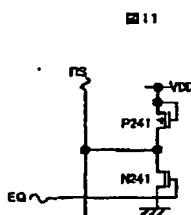
【図 3 3】



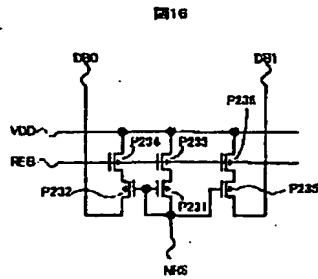
【図 3 4】



【図 1 1】

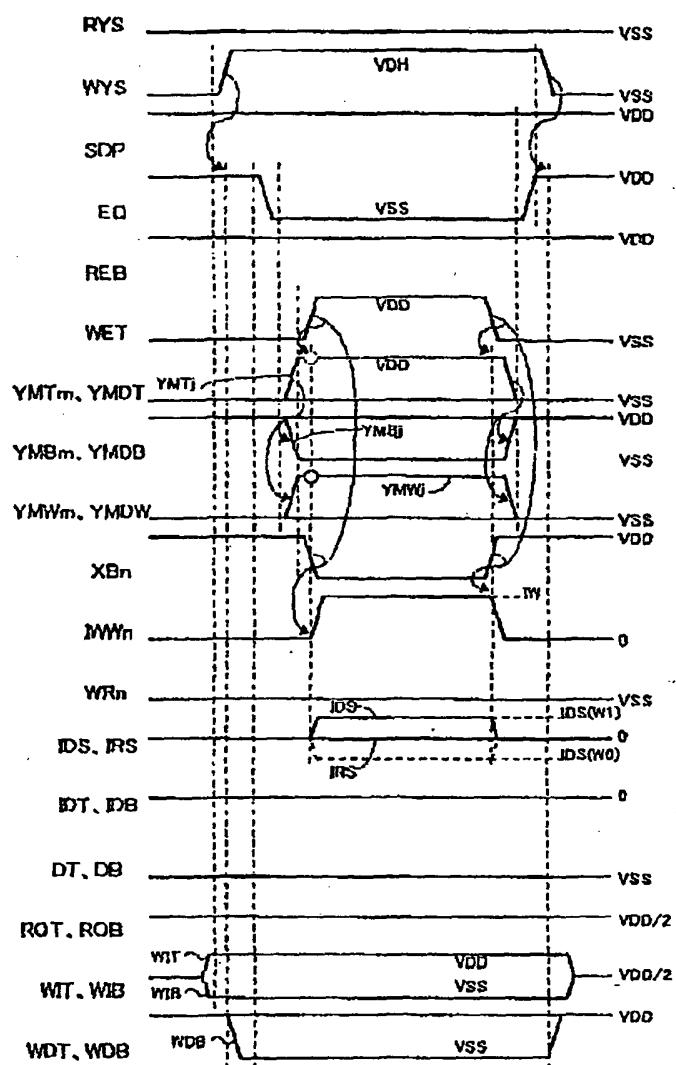


【図 1 6】



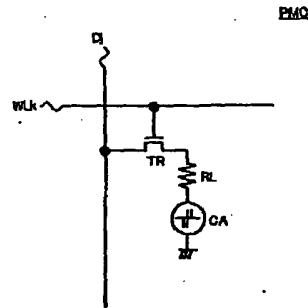
【図9】

図9



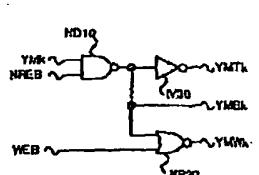
【図40】

図40



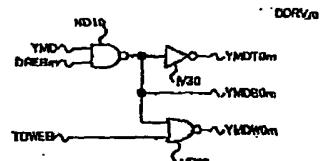
【図35】

図35

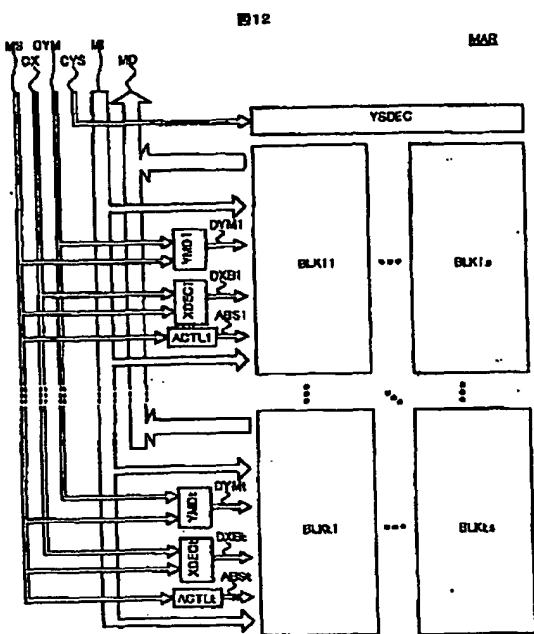


【図36】

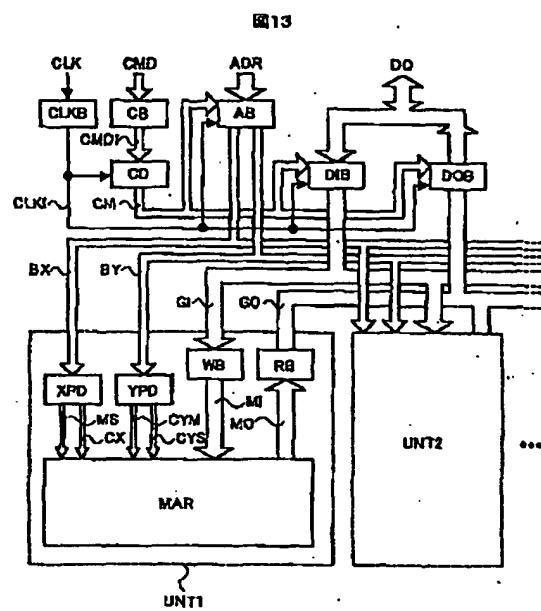
図36



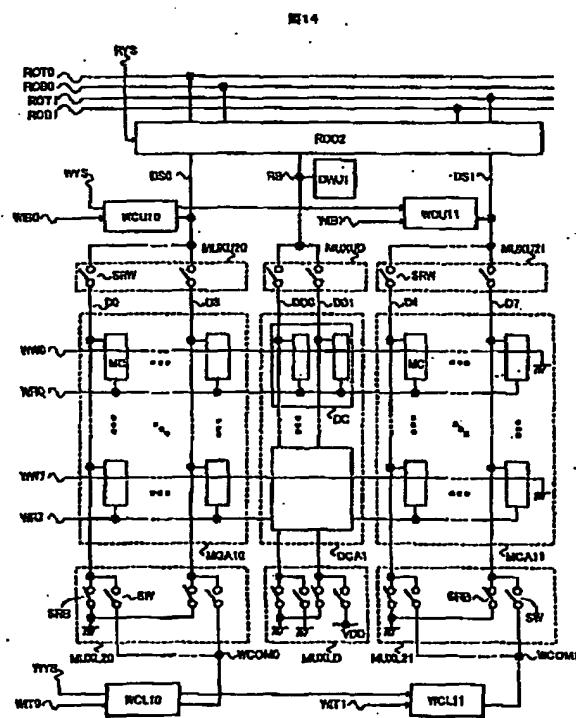
【 1 2】



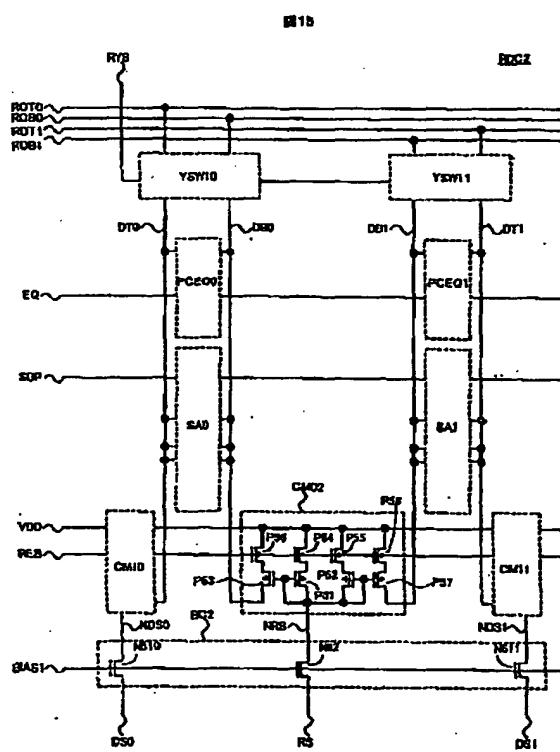
【图13】



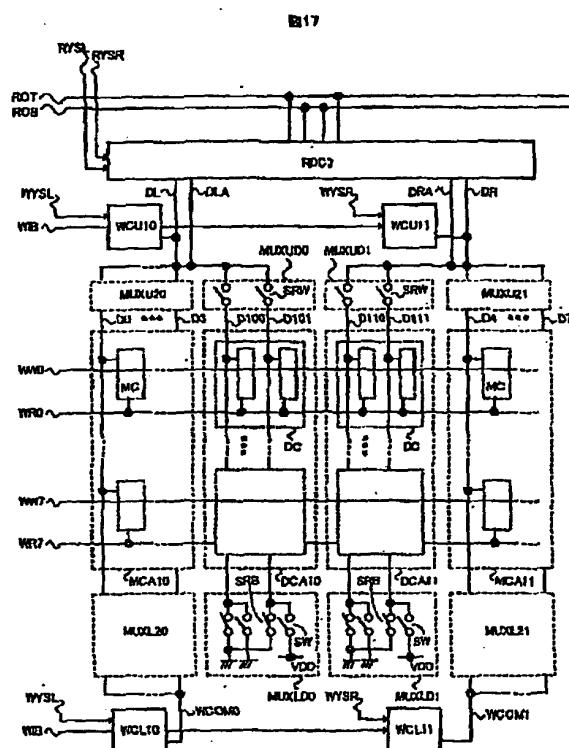
【 1 4】



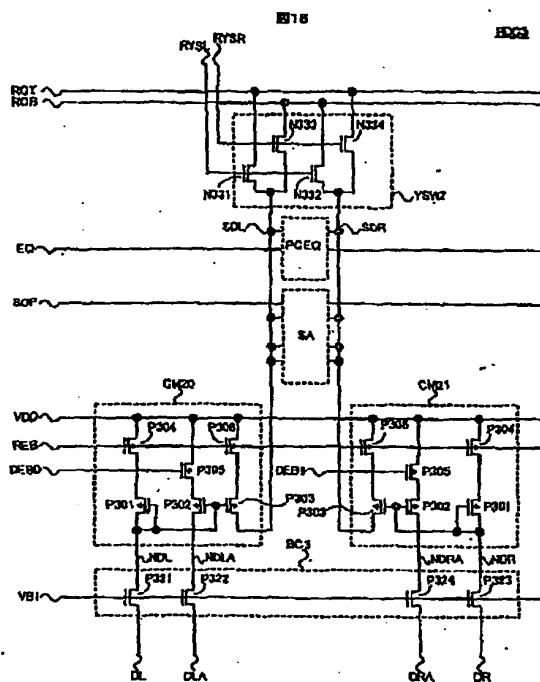
【图15】



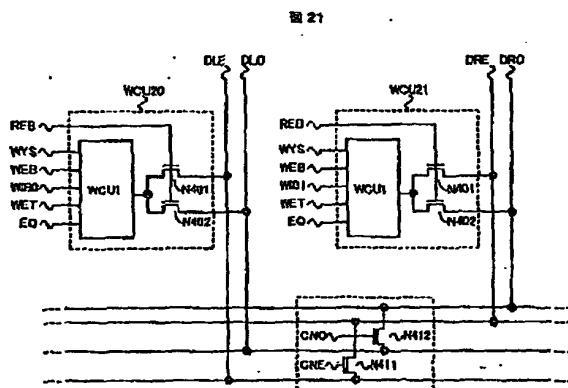
【图17】



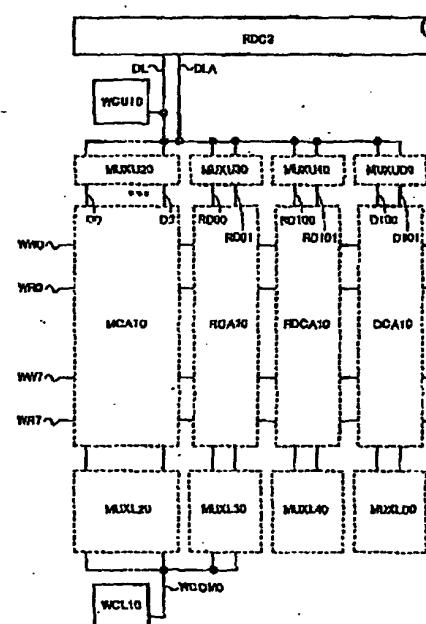
【图18】



【四】

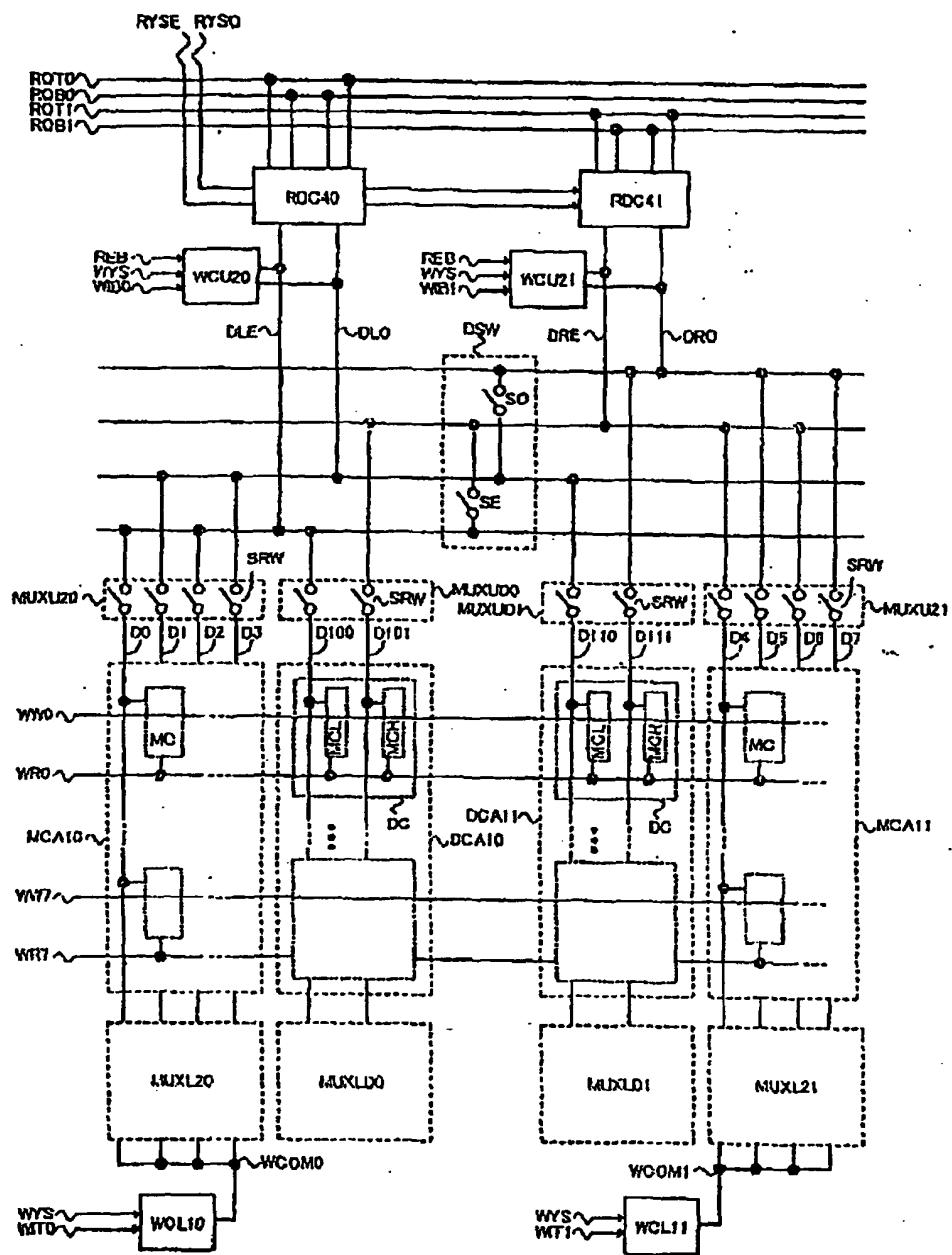


【图22】



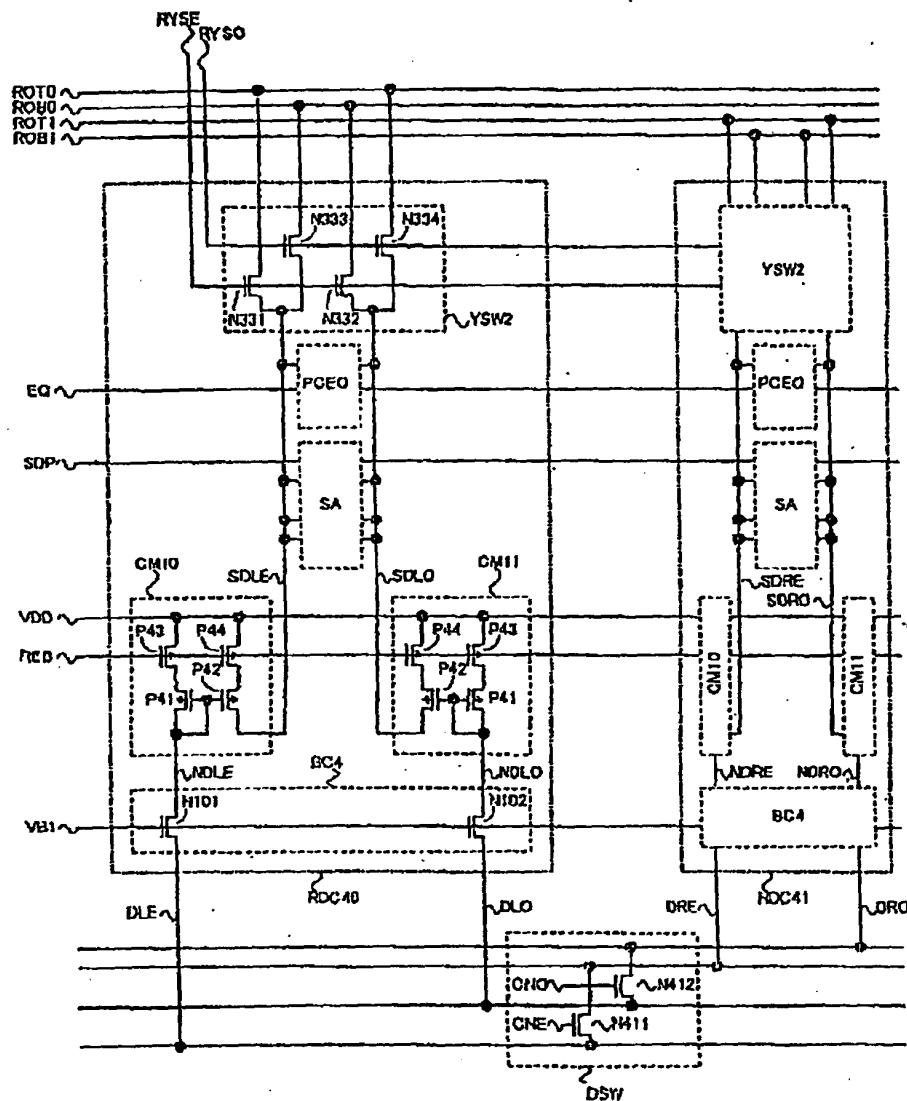
【図19】

図18

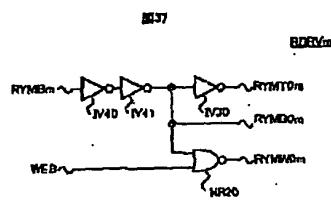


【図20】

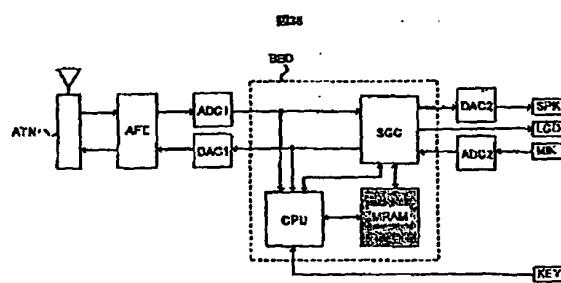
図20



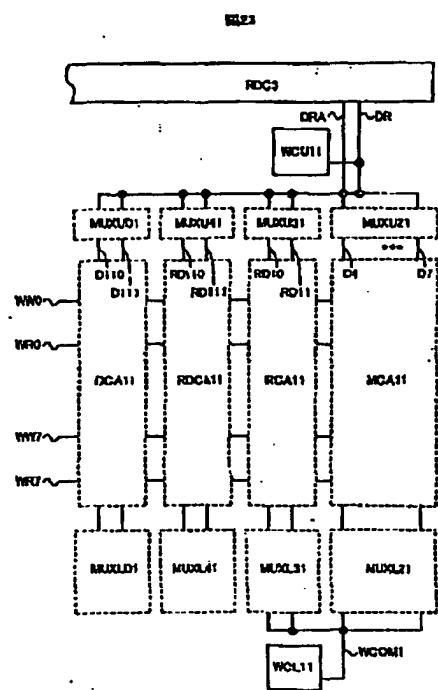
【図37】



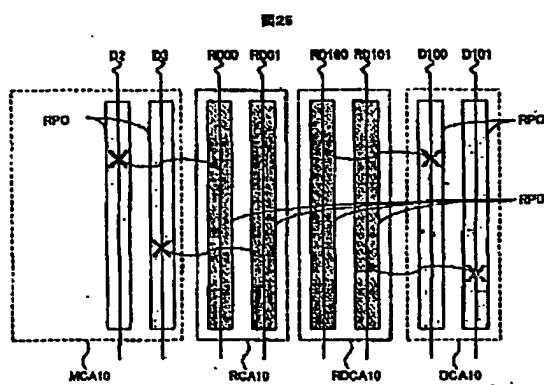
【図38】



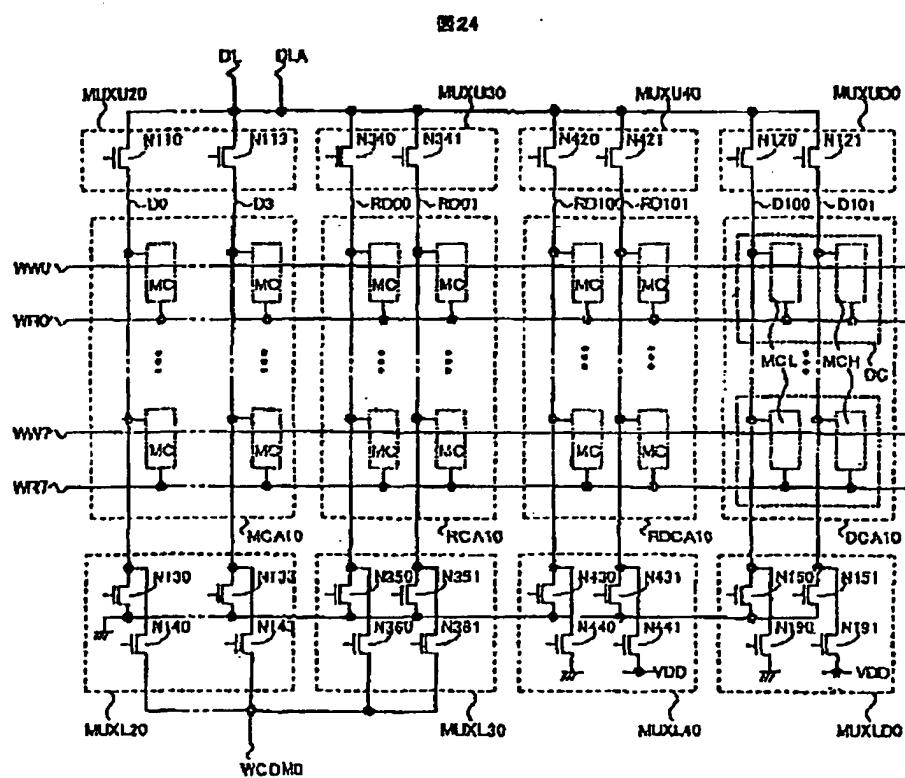
【図23】



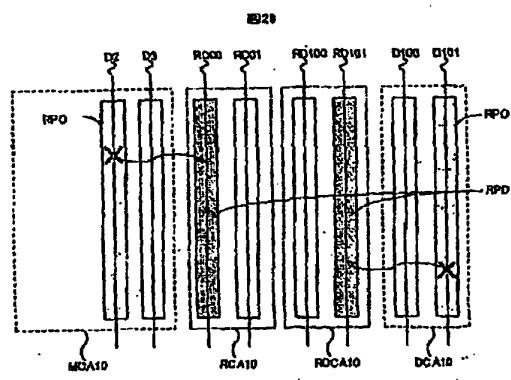
【図25】



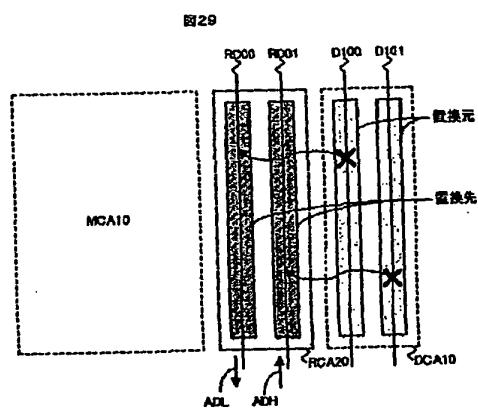
【図24】



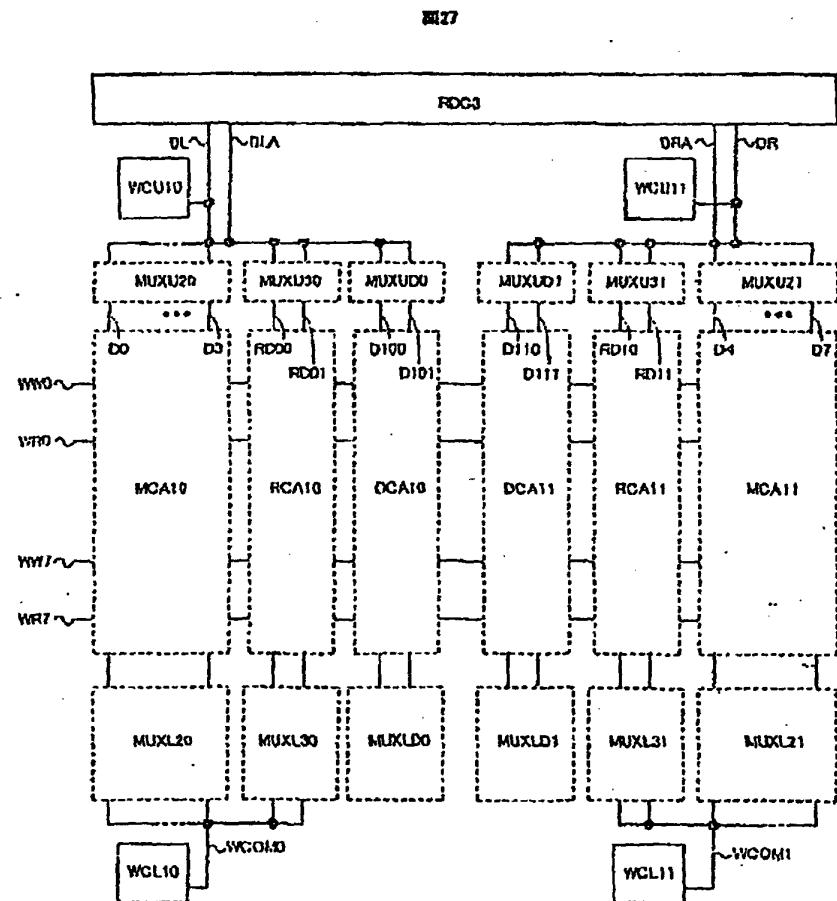
【図26】



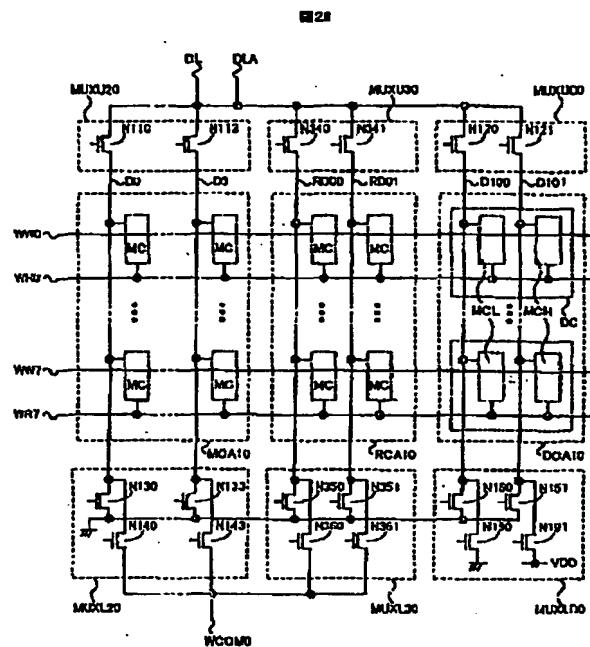
【図29】



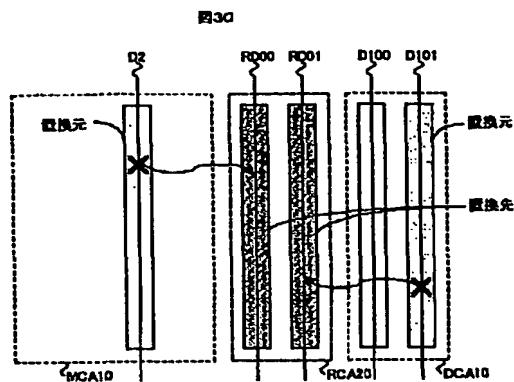
【図27】



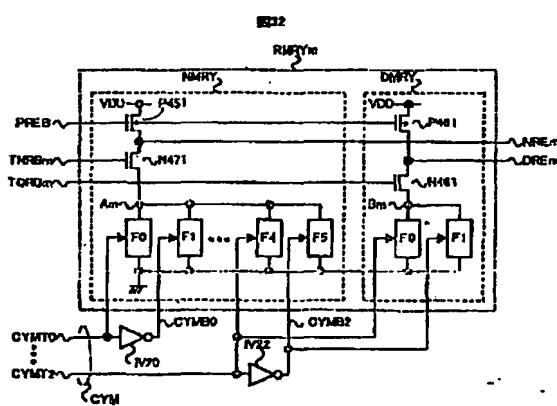
【四 28】



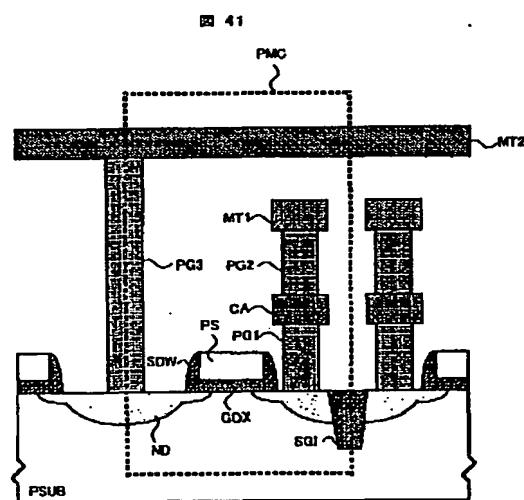
【四三〇】



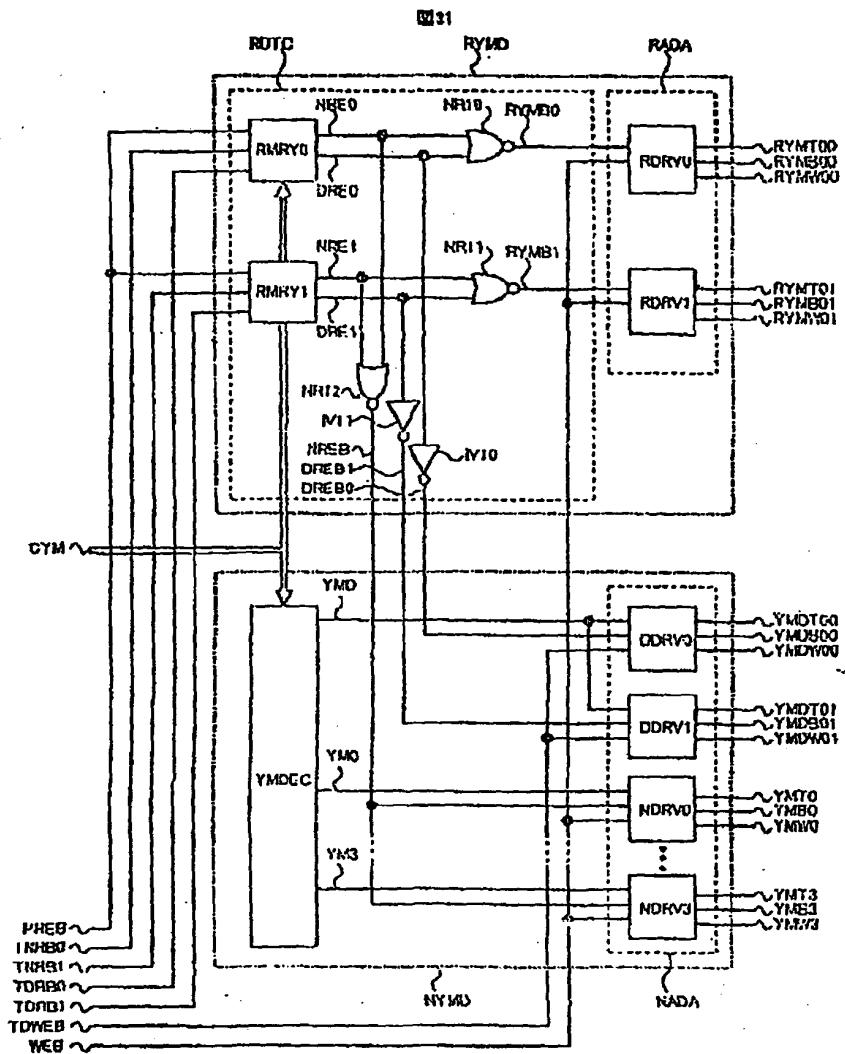
[☒ 32]



【四】



【四三一】



【図39】

図39

MUX	NMOS	YMX	MUX	NMOS	YMX
MUXU20	N119	YMT0	MUXU30	N340	RYMT00
	:	:		N341	RYMT01
	N113	YMT3		N350	RYMT00
MUXL20	N130	YMB0	MUXL30	N351	RYMB01
	:	:		N360	RYMB00
	N133	YMB3		N361	RYMB01
	N140	YMW0		N420	RYMW00
	:	:		N421	RYMW01
MUXL10	N143	YMW3	MUXL40	N430	RYMW00
	N120	YMDT00		N431	RYMDT01
	N121	YMDT01		N440	RYMDT00
MUXL00	N150	YMOB00		N441	RYMOY01
	N151	YMOB01			
	N150	YMOY00			
	N151	YMOY01			

フロントページの続き

(72)発明者 松岡 秀行
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内
 Fターム(参考) 5L106 AA09 CC04 CC13 CC17 CC21
 CC32 GG05

